

TR-617他

第42回情報処理学会
全国大会発表論文集 1

February, 1991

© 1991, ICOT

ICOT

Mita Kokusai Bldg. 21F
4-28 Mita 1-Chome
Minato-ku Tokyo 108 Japan

(03)3456-3191 ~ 5
Telex ICOT J32964

Institute for New Generation Computer Technology

- | | | |
|-------|---|------------------------|
| TR617 | 協調型論理設計エキスパートシステム
co-LODEX ー試作ー | 澤田 秀穂、箕田 依子
(富士通)、他 |
| TR618 | 協調型論理設計エキスパートシステム
co-LODEX ー概要ー | 箕田 依子 (富士通)
澤田 秀穂、他 |
| TR621 | 拡張項のための重ね合わせ符号を
用いた検索方式 | 田中 勉、森田 幸伯 (沖) |
| TR622 | 制御用エキスパートシステム
ーシミュレーション機構の並列化に
関する検討ー | 小沼 千穂、五嶋 安生
(東芝) |

協調型論理設計エキスパートシステムco-LODEX

—試作—

澤田秀穂 箕田依子 滝沢ユカ 丸山文宏 川戸信明

富士通株式会社

1. はじめに

我々は、ハードウェアの機能レベルの仕様から、回路規模と遅延時間に関する制約条件を満たす回路記述を生成する論理設計支援システムを開発している。並列協調方式を提案し[1]、疎結合型のMIMD(Multiple Instruction Multiple Data stream)方式の並列処理計算機Multi-PSI上に、並列論理型言語KL1を用いて部分試作を行なった。本稿では、試作システムについて述べる。

2. 試作システムの概要

本試作システムは、co-LODEXのエージェント間の並列協調方式と、エージェントが独立に（並列に）行なう設計—評価—再設計の過程を実現したものである。

図1は、co-LODEXの構成を示すブロック図であり、試作したシステムは、網掛け部分に相当する。

入力は、分割されるべき回路の全体仕様と、エッジントへの割り当て、制約条件と等価なデフォルトNJである。各部分仕様は、機能ブロックの端子名とそのビット幅などの仕様と、機能ブロック間の接続関係である。部分回路仕様とデフォルトNJは、詳細化部への入力である。詳細化部は回路の部分仕様を階層的に詳細化する。機能ブロックライブラリは、まとまった機能を持つ機能ブロックの仕様と、機能ブロックの詳細化のルール、テクノロジマッピングのルールが格納されているライブラリである。セルライブラリは、セルの特性の情報が格納されているライブラリである。設計結果はセルの接続情報として出力される。制約条件を満足する回路を設計できなかった場合は、違反情報が報告される。

これらの構成要素のブロックのうち、前処理部は全体に共通のものであるが、詳細化部は各エージェントが個別に持っている。各エージェントは階層設計により、セルの接続情報や違反情報を生成する。こうした一連の処理のなかで、機能ブロックライブラリ、セルライブラリが共通に参照される。

3. インプリメンテーション

試作システムはプロセスと呼ばれる基本要素を組み合わせて構成している。各プロセスはメッセージを用いて通信しながら処理を進める。メッセージはストリームを介して他のプロセスに通知される。プロセスは並列に動く単位であるが、実際の並列実行は、プロセッサエレメントへのマッピングに因る。

設計の詳細化部における、設計の階層を構成するプロセスの概念図を図2に示す。楕円はプロセスを表し、矢印は入力/出力ストリームを表す。図2の概念図は、設計が進行したある状況におけるプロセスによる構成を表すものであり、設計の初期状態では、入出力のプロセスだけが存在する。入出力以外のプロセスは、設計の進行に応じて生成する。

入出力のプロセスは入力された回路の全体仕様を分割し、分割した回路の部分仕様と関係するデフォルトNJを各エージェントに通知する。

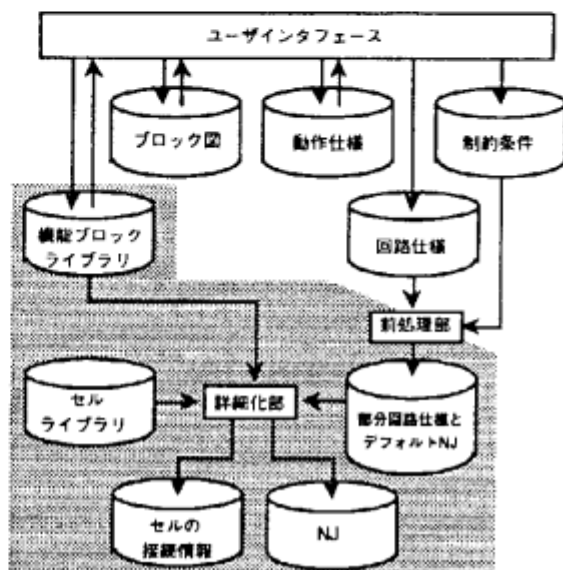


図1 co-LODEXの構成図

Development of co-operative logic design expert system (co-LODEX)

Sawada Shuho, Minoda Yoriko, Takizawa Yuka, Maruyama Fumihiro Kawato Nobuaki

FUJITSU LIMITED

```

graph TD
    IO[入出力] --> A1[エージェント]
    IO --> A2[エージェント]
    A1 --> FB1[機能ブロック]
    A2 --> NJC[NJの組み合わせ]
    A2 --> NJS[NJの合成]
    FB1 --> CD[コンポーネント設計]
    NJC --> FB1
    NJC --> C[セル]
    NJS --> C
    CD --> FB1
    CD --> C
    C --> FB1
    C --> FB2[機能ブロック]
    FB1 --> FB2
    FB2 --> FB1
  
```