

TM-1134

装置設計者用サブミクロン LSI
設計システム

長 光雄、松橋 威久夫、
松本 守 (沖)

November, 1991

© 1991, ICOT

ICOT

Mita Kokusai Bldg. 21F
4-28 Mita 1-Chome
Minato-ku Tokyo 108 Japan

(03)3456-3191~5
Telex ICOT J32964

Institute for New Generation Computer Technology

装置設計者用サブミクロン LSI 設計システム

Sub-micron LSI CAD System for System Designers

長 光 雄
Mitsuo Cho

松 橋 威 久 夫
Ikuo Matsubashi

松 本 守
Mamoru Matsumoto

要 旨

装置設計者がタイミングを考慮した物理的な階層構造を構築しながら大規模回路の設計を進めることができるシステムと、それに加えた改良点について述べる。

本システムでは、論理設計からレイアウト設計までのツールを1つの環境下に統合し、論理設計からタイミング検証までが繰り返し容易に行える。また、論理合成のサポートやレイアウトの自動あるいはマニュアル設計が選択可能なため、初心者から熟練者まで扱えるシステムとなっている。

1. ま え が き

従来の LSI 設計手法(ゲートアレイ/スタンダードセル手法)では、上流設計(方式設計-論理設計)と下流設計(レイアウト設計)が別れており、装置設計者は上流工程を、レイアウト設計者は下流工程を担当していた。装置設計者は、論理設計を終え仮想配線長によるシミュレーションにより論理の検証を終えると、ネットリストをレイアウト設計者に渡す。レイアウト設計者は、そのネットリストを基にレイアウト設計を行い、その結果である配線遅延をネットリストに反映させる。その後、実配線長に基づいた遅延シミュレーションを行い、最終確認を行っていた。しかし、プロセスのサブミクロン時代を迎え、配線遅延の占める割合が素子遅延に近づき、仮想配線長シミュレーションで合格した設計が、レイアウト後に不合格になるケースが増えることが懸念されている。

本論文では、サブミクロン時代における上記のタイミング問題に対処するため、(1)必要に応じて装置設計者が、自らブロックレベルより配線遅延を考慮しつつレイアウトを行い、(2)その後、そのブロックの実配線長によるタイミング検証を行い、(3)タイミング検証済みのブロックを用いて階層的に LSI を設計していくことがで

きるシステムと、それに加えた改良点について述べる。このシステムにより、大規模 LSI の設計における難しいタイミングの問題をブロック単位の問題に分割し、問題をより小さなものとして設計を進めていくことが可能となる。

2. システム構成

本システムの構成を図1に示す。システムは、モジュールジェネレータ、種々の入力形式、シミュレータ、フロアプランナ、タイミングアナライザ、各種ユーティリティと、それらが共通に使用するデータベースからなる。

3. 設計フロー¹⁾

本システムを用いた場合の LSI の設計フローを図2に示す。このうちの各ステップについて説明を加える。

テクノロジーの選択：テクノロジー選択のステップでは、作成する LSI の仕様に合ったテクノロジーを選択する。現在、 0.8μ 2層配線、 1.2μ 2層配線ルールが使用可能である。

モジュールの生成：モジュール生成のステップでは、使用するモジュール(論理設計のステップで機能を回路図

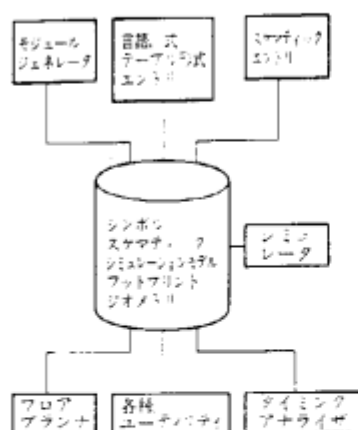


図1 システム構成
Fig. 1 System structure

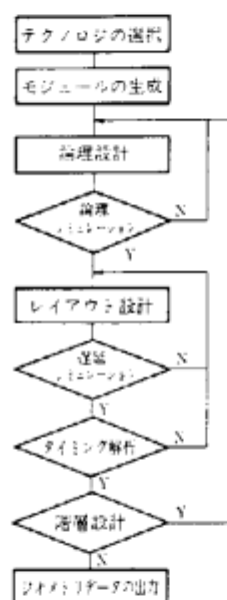


図2 設計フロー
Fig. 2 Design flow

レベルに展開するための基本単位となるもの。フリップフロップ、マルチプレクサ、ALU等)を生成する。ここで生成されたモジュールが、次のステップの回路図入力ライブラリとして使用される。

論理設計：論理設計のステップでは、機能設計で確定した機能を論理の最適化を考慮しながら、回路図レベルに展開する。言語、テーブル形式あるいはブール式で記述し、自動的に最適化を行い回路図レベルに展開することも可能である。

論理シミュレーション：論理シミュレーションのステップでは、論理設計のステップで設計した回路の論理検

証を行う。エラーが検出されれば回路の修正を行う。

レイアウト設計・階層設計：レイアウト設計のステップでは、論理設計のステップで入力した回路の面積およびタイミングを考慮した配置配線を行う。配置の方法として、全自動とフロアプランナによるマニュアルが可能であり、必要に応じて使い分けができる。全自動レイアウトにおいても、回路図入力時にクリティカルネットの指定をしておくことにより、そのネットを短く配線することができる。特にタイミング的な配慮を必要としたり、ブロック形状の変更を要するような場合には、フロアプランナを用いて人手によりレイアウト設計を行う。フロアプランナの詳細については、5章で説明する。この工程で、レイアウトの結果からモジュールの出力段の容量が求められ、その容量に合ったバッファのモジュールに置換えられる(自動バッファサイジング)。詳細は4.1章で説明する。階層設計を行う場合、このステップでレイアウトし、タイミング検証を終えたブロックを、論理設計のステップに戻り回路図入力用のモジュールとして利用する。

遅延シミュレーション：遅延シミュレーションのステップでは、実配線長に基づいての遅延シミュレーションが行われる。エラーとなればレイアウト設計をやり直す。

タイミング解析：タイミング解析のステップでは、セットアップ、ホールドエラー、クリティカルパス、パルス幅エラーのチェックが行われる。このレイアウトがタイミング条件を満たさない場合、結果を考慮しながらレイアウト設計をやり直す。

4. 大規模化に伴う自動化サポート

本システムは、装置設計者が上流工程より下流工程までのすべてを扱い、かつ大規模回路を設計することを目指しているため、煩雑な作業を軽減し、レイアウト設計においては、レイアウト設計の特別なノウハウをできる限り必要としないシステムとしている。以下に、その例として自動バッファサイジング、自動パワーレール(電源線/グランド線)サイジング、自動パッケージングについて述べる。

4.1 自動バッファサイジング

従来の設計手法では、論理設計の段階で設計者がドライブ出力バッファのような、論理以外の要素も考慮しなければならない。設計者は、同じ論理の素子であっても、その出力に接続する素子のファンインの合計の値によって、使用する素子を使い分けなければならない。かつ実際には、必要なバッファのサイズの選択のために配線の容量も考慮しなければならない。しかし、論理設計の段

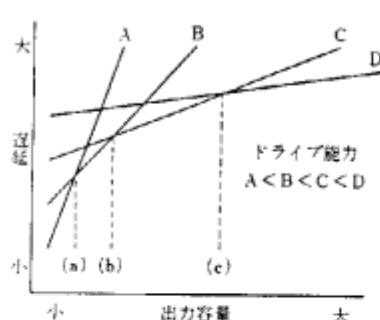


図3 遅延と出力容量の関係
Fig. 3 Relation between delay and output capacitance

図4 自動バッファサイジング
Fig. 4 Auto buffer sizing

階では実配線長がわからないため、配線長を想像しながら適切なサイズの出力バッファをもつ素子を選択して使用する。この結果、設計自体が煩雑になるとともに、配線容量の見積を誤ると配線後タイミングエラーを起こす恐れがある。

そこで、装置設計者が容易にレイアウト設計を実行できるように、論理設計の段階では出力容量を考慮せずに設計し、レイアウト後の実配線長をもとにバッファを最適にサイジングする機能を開発した。これにより、チップの大規模化に伴う設計の煩雑さを軽減するとともに、遅延の最適化をも実現することができた。

4.1.1 出力容量と遅延の関係

図3に出力容量と遅延の関係を示す。ここでA、B、C、Dは、同じ論理をもつ4種類のドライブ能力の異なる素子の遅延であり、ドライブ能力の高さは、 $A < B < C < D$ である。ドライブ能力の低い素子は、出力容量の少ない領域では高速であるが、出力容量の大きい領域では極端に遅くなる。対照的に、ドライブ能力の高い素子は低出力容量の領域ではそれほど高速でないが、出力容量が増えても遅延の増加率が少ない。このように、4種類のドライブ能力の異なる素子がある場合、出力容量が(a)以下の領域ではA素子を、(a)以上(b)以下の領域ではB素子を、(b)以上(c)以下の領域ではC素子を、(c)以上の領域ではD素子を用いるのが、最適な素子の選択といえる。

そこで自動バッファサイズでは、実配線長による出力容量を計算し、その出力容量で最も遅延の少なくなるサイズのバッファを使用するようになっている。

4.1.2 自動バッファサイジングの実現方法

自動バッファサイジングは、出力段のトランジスタサ

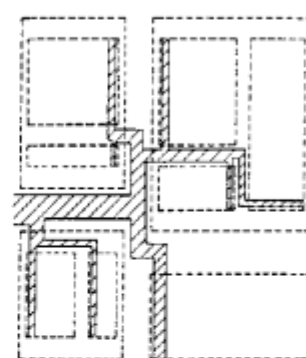
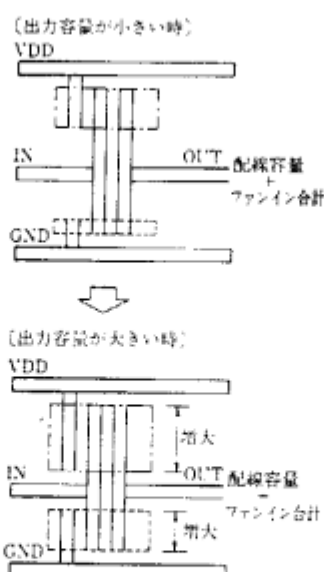


図5 自動電源線幅サイジング
Fig. 5 Auto power rail width sizing

イズのゲート幅を出力容量に応じて変えることにより、実現される。図4に、そのイメージを示す。出力トランジスタのゲート幅の拡張だけではドライブ能力が不足する場合には、システムにより「より強力な外付けバッファを付加せよ」というメッセージが出力される。

4.2 自動電源線幅サイジング

自動電源線幅サイジングは、電源線幅を自動的に決定する機能である。本機能は、自動バッファサイジングの後、そのバッファサイズに合わせて、クロック周波数と回路の動作率からそれぞれのブロックに必要な電源線幅を計算し、その線幅で電源線を引くものである。ブロックが階層化されている場合、上位の階層へ行くにしたがって太くなる。図5に、そのイメージを示す。

5. フロアプランナ

タイミングの問題を考慮しながら設計を行うには、ブロック分割、ブロックのレイアウトが重要になる。本システムでは、装置設計者がレイアウト設計を容易に行える環境を提供している。

フロアプランナは、マニュアル配置の機能を提供するものであり、主な機能としては、以下のものがある。

- ・コンストレイントバスの表示機能
- ・チャンネルの配線密集度の表示機能
- ・スタンダードセルブロック、RAMの形状の変更
- ・スタンダードセルのマージおよび分割
- ・グローバル配線の指定

コンストレイントバスの表示機能およびチャンネルの配線密集度の表示機能は、面積を縮小するための配置を考

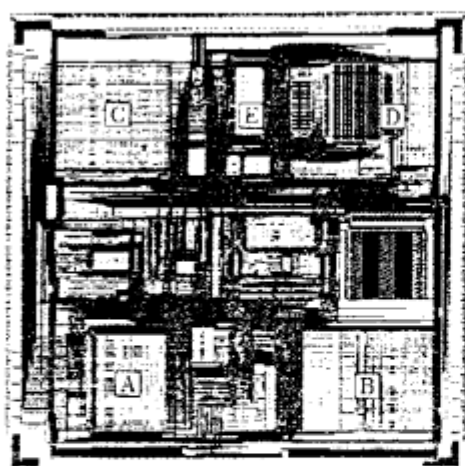


図6 プロセッサのレイアウト図
Fig. 6 Layout of processor chip

える上での情報を得るのに有用である。コンストレイントパスは、本システムに特徴的なもので、X方向とY方向に対してネックとなっているブロックをつなぐ線を表わす。チャンネルの配線密集度の表示機能は、配線の混み具合により、チャンネルを色分けして表示する。これらの機能は、ブロックサイズを縮小するために、ブロックをどの方向に移動したらよいかに関する強力な情報となる。

また、スタンダードセルブロック、RAMの形状の変更、スタンダードセルのマージおよび分割機能は、ブロックの形状がサイズを縮小するためのネックになっているとき、そのアスペクト比を変えるものである。

グローバル配線の指定機能は、クリティカルパスを最短の経路でつなぐために有用である。

6. 設計事例

本システムを用いて設計した2つの例を、以下に示す。

図6は、25kゲートのプロセッサチップである。テクノロジーは、 1.2μ 2層配線ルールを使用している。208ピンで、チップサイズは 13.9×13.4 mmである。ブロックAは、特殊用途のメモリであり、2ポートRAMを用いて構成し、ブロックBは、レジスタファイルであり、5ポートRAMを用いて構成している。ブロックCは加算、シフト用の演算部、ブロックDは命令アドレス生成部、ブロックEは優先エンコードを行う演算部である。その他は、コントロールロジックおよびインタフェース部である。演算部、アドレス生成部は、データバス構造(モジュールのレイアウトがデータの流れに沿っている構造)で

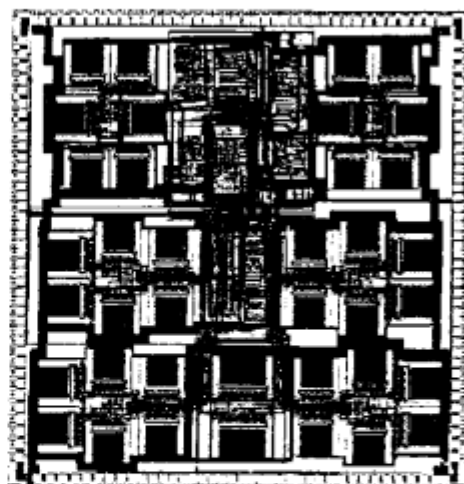


図7 通信機用LSIのレイアウト図
Fig. 7 Layout of telecommunication LSI

構成される。

図7は、7kゲートのロジックと、1.2kビットの2ポートRAM32個、1.7kビットの2ポートRAM2個からなる通信機用LSIである。テクノロジーは、 0.8μ 2層配線ルールを使用している。160ピンで、チップサイズは 11.4×11.8 mmである。

7. あとがき

本システムは、装置設計者が、レイアウト設計を含めて特にタイミング的にクリティカルでないものに関しては全自動で、また、クリティカルなものに関してはタイミングを考慮しながら人手でレイアウト設計を行い、大規模LSIを設計することを可能にした。また大規模化に伴う設計の煩雑さを、豊富な入力形式、自動バッファサイジング、完全自動レイアウト等の機能によって軽減し、初心者から熟練者まで使用できるシステムとした。

今後はタイミングドリブンレイアウトのサポートを行い、タイミング的にクリティカルなものに関しても自動で設計が行えるシステムとして行く。なお、6章の設計事例に掲載のプロセッサは、第5世代コンピュータプロジェクトの一環として開発されたものである。

8. 参考文献

- (1) Daniel D. Gajski: Silicon Compilation, Addison-Wesley Publishing Company, 10章, p.p. 406~445, 1988