

PIM/pにおけるパイプライン制御方式

安里 彰、木村 通秀、篠木 剛、服部 彰
(富士通株式会社)

1 はじめに

我々は第5世代プロジェクトの一環として、並列推論マシン PIM/p の開発を行っている。PIM/p は共有メモリを持つ8台の要素プロセッサ(PE)で構成されるクラスタを単位として、クラスタ同士をネットワーク結合した数百台規模のPEを持つ並列マシンである。PEは核言語 KL1 の実行に適した命令セットを持ち、動作方式には性能向上のためにパイプライン方式が採用されている。

本論文では PIM/p で採用した、条件分岐命令の条件判定ステージを動的に変化させる、動的判定方式について述べる。

2 内部命令とパイプライン

核言語 KL1 はコンパイラによって抽象命令セット KL1-B[1] の命令列に展開され、KL1-B の各命令は更にマシン命令列に展開されるが、既に報告したように、展開した結果大きなステップ数になる KL1-B 命令については PE 内に置いた高速メモリに共通ルーチンを格納して、それらをマクロ呼び出しによって実行することにした[2]。この高速メモリを内部命令メモリと呼び、格納された命令を内部命令と呼ぶ。これに対して普通に命令キャッシュから供給される命令は外部命令と呼んで区別し、パイプラインの入り口でこれらをモードによって切り替えるようにした。パイプラインは外部命令の場合、D(デコード)、A(アドレス計算)、T(タグアクセス等)、B(演算、レジスタライト等)の4段で構成され、内部命令の場合はその4段の前にS(内部命令メモリのアドレスセット)、C(内部命令取り込み)の2段が追加されて6段となる。

3 条件分岐命令の実行方法

PIM/p の命令セット中の条件分岐命令は全て、レジスタのタグ部(8ビット)と命令コード中の即値を比較して、ある条件が成立した場合に分岐するといった

タイプのものである。PIM/p ではこの処理をパイプラインを2ステージ使用して実現している。第一のステージでレジスタのタグ部を読み、第二のステージで条件判定を行うとともに条件が成立したならば分岐先命令への制御の移行を行うのである。

分岐処理を高速に行うには上記の第一、第二のステージをパイプラインの入り口に近いステージに割り当てて、分岐先命令の取り込みを早い時期に行うのが良いと考えられるが、それ以外にレジスタ干渉によるインタロックについても考慮する必要がある。レジスタの値を変更する全ての命令においてレジスタ値の変更はBステージで行われるので、先行する命令によって変更されたレジスタをDステージで読むような命令は、前者がBステージに到達するまでDステージに停まらねばならない(図1)。つまり上記の第一のステージを早めに割り当てると、インタロックの可能性が高まることになる。このように、分岐処理の高速性とインタロックの可能性にはトレードオフがあるので、それを考慮してステージの割り当てを行う必要がある。

まず、外部条件分岐命令における上記ステージの割り当てについて述べる。外部条件分岐命令では図2のように分岐先のアドレスをAステージで計算してキャッシュ制御部に通知し、分岐先の命令が到着するのがBステージになる。従って分岐先の命令の実行開始は図2のタイミングより早くできないので、外部条件分岐

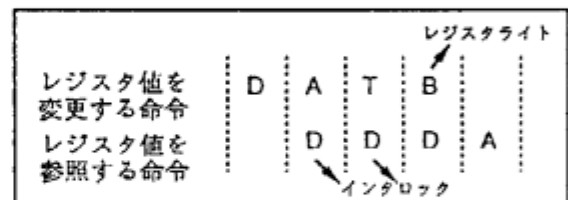


図1 レジスタ干渉によるインタロック

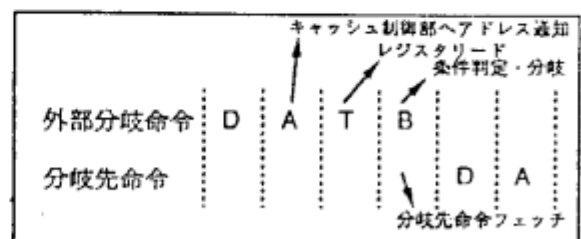


図2 外部条件分岐命令のパイプライン

命令は T ステージでレジスタのタグ部を読み、B ステージで条件判定を行うことでインタロックを回避するようにした。

一方、内部命令の場合は外部のように分岐先命令の到着をあるステージまで待つ必要がなく、条件判定と同じサイクルに分岐先命令の S ステージが実行できるので、外部分岐の場合よりも早い時期に条件判定することが可能である。そこで、以下の 2 方式を比較検討することにする。

A 判定方式: D でレジスタを読み、A で条件判定

B 判定方式: T でレジスタを読み、B で条件判定

A 判定方式は、外部分岐命令と同じ方式の B 判定方式に較べて分岐先命令を早く実行できる半面、インタロックの可能性が有る。

4 A 判定と B 判定の比較

両方式の比較は、それぞれによって生じる無効なステージ数を較べることで行うこととする。無効なステージが生じる要因は 2 通り有り、一つは分岐時にパイプラインのキャンセルによって生じるもので、もう一つはインタロックによって生じるものである。例えば、A 判定でインタロックが 2 サイクル起こる場合を考える (図 3)。このケースでは、インタロックの 2 サイクルと、分岐によって後続命令 1, 2 がキャンセルされることによる 2 サイクルの合計 4 サイクルが無効なステージとなる。

同様に、分岐の成立 / 不成立、インタロックの有無の各ケースにおける無効なステージ数を A 判定、B 判定の双方について数え、表 1 にまとめた。(インタロックは 2 サイクルとした。) これより、インタロックが起こる場合は B 判定が、起こらない場合は A 判定がそれぞれ他方よりも優れていることが判る。

5 動的判定方式

前節の考察によれば両方式に一長一短があり、これといった決め手がない。そこで、どちらかの方式に固定することを止め、インタロックの有無によって動的に判定ステージを切り換えられるような方式を新たに考案し評価を行った。動的判定方式と呼ぶこの方式では、D ステージでインタロックせずにレジスタを読める場合は A 判定、そうでないなら B 判定を行う。これによれば、インタロック無しで分岐する場合は A 判定と同じ、インタロック有りで分岐しない場合は B 判定と同じ動作をするので、表 1 の全ての項目において優れた側の方式と同じ値が得られる (表 2)。このように、

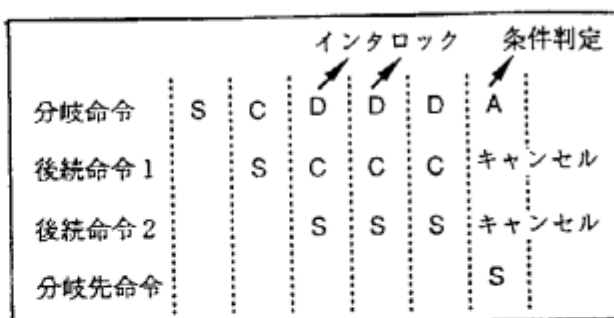


図 3 A 判定・インタロック有の内部条件分岐

表 1 無効ステージ数(A/B判定)

	インタ ロック無 分岐成立	インタ ロック有 分岐成立	インタ ロック無 分岐不成立	インタ ロック有 分岐不成立
A 判定	2	4	0	2
B 判定	4	4	0	0

表 2 無効ステージ数 (動的判定)

	インタ ロック無 分岐成立	インタ ロック有 分岐成立	インタ ロック無 分岐不成立	インタ ロック有 分岐不成立
動的判定	2	4	0	0

動的判定方式の優位性は明らかであるので、PIM/p ではこの方式を採用することにした。

動的判定方式は、プログラム中のインタロックする内部条件分岐命令の出現頻度が大きいほど効果的である。KL1 処理系ではデータ型判定が頻繁に行われるが、それを命令コードに展開すると丁度そのようなコードになると考えられる。このことから動的判定方式のマシンの性能向上への寄与が期待される。今後は実際のアプリケーションを用いて性能評価を行い、本方式の有効性を確かめたい。

6 おわりに

本論文では、パイプライン計算機である PIM/p の要素プロセッサにおける内部条件分岐命令の実行方式として、条件判定のためにレジスタを読み込む際のインタロックの有無によって A 判定と B 判定を動的に使い分ける動的判定方式について述べた。

謝辞: 日頃ご指導頂く林情報処理研究部門長代理、川戸人工知能研究部長ならびに、ICOTと富士通のPIM開発メンバーの皆様に感謝いたします。

参考文献

- [1] Y. Kimura 他: An Abstract KL1 Machine and Its Instruction Set, Proc. of SLP'87
- [2] 森本他: 並列推論マシンPIM/pの要素プロセッサにおける分岐機能の高速化のためのアーキテクチャ, 情報処理学会39回全国大会, 1989;
- [3] 森本他: 並列推論マシンPIM/pの要素プロセッサのアーキテクチャ, 情報処理学会37回全国大会, 1988