

並列推論マシン PIM/i の 並列キャッシュ機構の評価

大原 輝彦 武田 達一
沖電気工業(株) 総合システム研究所

佐藤 正樹
(財) 新世代コンピュータ技術開発機構

1 はじめに

筆者らは、第5世代コンピュータプロジェクトの一環として並列推論マシン PIM/i [1] の研究開発を行っている。PIM/i のクラスは8台のプロセッサを単一バスで結合したマルチプロセッサシステムであり、バストラフィックを低減するために並列キャッシュを実装した。マルチプロセッサシステムにおける並列キャッシュには、一貫性制御の問題があり、PIM/i では、キャッシュ書き込み時にデータをバスを介して放送する方式を採用した。本論文では、PIM/i における並列キャッシュの実現方式を述べ、さらに、ベンチマークプログラムによる評価結果について報告する。

2 PIM/i の並列キャッシュ機構の概要

2.1 ライトバック方式

PIM/i には、ライトバック方式の並列キャッシュを実装した[1]。ライトスルー方式の並列キャッシュでは、データに書き込みが行われる度にバストラフィックが発生する。この方式では、

- (a) 書き込み操作による遅延
- (b) バストラフィックの増加による共有バスの混雑が問題となる。(a) はシングルプロセッサでも問題となり、キャッシュメモリと共有メモリの速度差が大きいとき深刻である。(b) はマルチプロセッサ固有の問題であり、プロセッサのキャッシュオペレーションでバスの空き時間待ちによる遅延を増加させる。

2.2 更新型プロトコル

キャッシュミスはバストラフィックを増加させる。そこで、PIM/i のキャッシュはヒット率を高くするという方針で設計した。一貫性の制御は書き込まれたデータを、バスを介して放送することによって行う。この方式の問題点は必要のないデータを放送することによるバストラフィックの増加である。特に、キャッシュサイズが大きい時、スワップアウトされずに残っているブロックが多くなると考えられるからである。

2.3 ブロックサイズ

PIM/i キャッシュのブロックサイズは4ワードである。ブロックサイズを大きくすると、アクセスの局所性が十分であれば、ヒット率を上げることができる。しかし、局所性が少ない場合、最適なブロックサイズを超えると逆に、ヒット率が下がる。これは、ブロック中にアクセスされない語が増加し、ブロック数の不足が発生するためと考

えられる。また、キャッシュブロックのスワップイン、スワップアウトに時間がかかり次のキャッシュオペレーションが長時間待たされるという問題[2]があり、これを回避しようとする、共有メモリとキャッシュとのバンド幅を大きくする必要が生じハードウェアコストが増大する。さらに、更新型の一貫性制御方式では、ブロックサイズを大きくすると、物理的に共有されるブロックの割合が多くなることが考えられ、書き込み放送によるバストラフィックの増加が問題となる。

2.4 6状態キャッシュ

PIM/i キャッシュの制御はブロックを制御単位とし、以下に示す3つのフラグを組み合わせた6状態で行う[1]。

- S/E : 共有/非共有
- O/U : キャッシュ間転送時の供給元/非供給元
- C/D : 共有メモリへの書き戻しの必要なし/あり

プロセッサオペレーションによる動作は以下のようになる。

(a) 読み出しミス時

共有バスにキャッシュブロックのスワップイン要求を出し、供給元になるキャッシュブロックが存在すればそこからブロックをスワップインし、そうでなければ共有メモリからスワップインする。

(b) 書き込みヒット時

共有ブロックであれば、バスを介して書き込み放送を行い、コピーを持つキャッシュブロック内のワードを更新する。なおこのとき、共有メモリの更新は行わない。非共有ブロックであれば自キャッシュに書き込むだけでバストラフィックは発生しない。

(c) 書き込みミス時

共有バスにキャッシュブロックのスワップイン要求を出し、他の供給元になるキャッシュが存在するとそこからブロックをスワップインし、直ちに書き込み放送をする。そうでなければ共有メモリからスワップインし、自キャッシュに書き込みを行う。

3 評価

評価はPIM/iの開発環境であるレジスタトランスファレベルのシミュレータ[3]で行った。PIM/i キャッシュのプロトコルを考慮したKL1処理系[4]上で6クイーン問題を実行し、評価データを集計した。8台のプロセッサで実行したときのベンチマーク諸元を表1に示す。

表1 ベンチマーク諸元

実行サイクル数	614K サイクル
リダクション数	39K 回
コードサイズ	7.7K ワード
メモリ操作命令数	736K 回
バス使用サイクル	376K サイクル

Evaluation of Parallel Cache Mechanism on Parallel Inference Machine PIM/i

Teruhiko OOHARA, Koichi TAKEDA, (OKI)

Masaki SATO (ICOT)

理想的なメモリに対するPIM/iキャッシュのオーバーヘッドを調べるため、8ポートモデル[5]のシミュレータ上でベンチマークを実行したときの実行サイクル数と比較した。その結果を表2に示す。この表では「8ポートモデルでプロセッサ台数が1台」の場合の実行サイクル数を基準とし、どのくらいの台数効果が出ているかを示した。

表2 台数効果

プロセッサ台数	1	2	4	8
8ポートモデル	1.00	1.95	3.69	6.49
キャッシュあり	0.95	1.81	3.28	5.62

次に、プロセッサの共有メモリを以下に示す3つの領域に分け、それぞれについて評価データを集計した。

- (a) ヒープ領域（ヒープ）
- (b) プロセッサ間通信領域（通信）
- (c) その他の領域（その他）

なおコードアクセスによるバストラフィックは集計に含まれていない。この理由はコードサイズが小さいことによる。評価項目は、(1)ヒット率、(2)バス使用サイクル、(3)放送したデータの詳細について、である。

(1) キャッシュのヒット率

領域全体と領域別のヒット率を表3に示す。

表3 キャッシュヒット率（単位：%）

	全体	ヒープ	通信	その他
ヒット率	98.8	97.1	99.7	99.7

(2) バス使用サイクル

表4に、表1で示したバス使用サイクルの内訳を百分率で示す。

表4 バス使用サイクル（単位：%）

	全体	ヒープ	通信	その他
スワップイン	44.7	42.3	2.0	0.4
スワップアウト	23.7	16.2	7.2	0.3
データの放送	31.6	10.5	20.1	0.9
バス使用サイクル	100.0	59.1	29.3	1.6

(3) 放送したデータの詳細について

放送したデータの詳細を表5に示す。ここでコピー数とは放送した際にいくつのキャッシュにコピーを行ったかという数を示している。さらに、有効率とは、放送したデータ全体が放送した相手にどれくらい読まれたかという割合を示している。

表5 放送したデータの詳細（単位：%）

コピー数	全体	有効率	ヒープ	通信	その他
0	11.4	0.0	11.3	0.1	0.0
1	6.6	70.0	3.2	3.4	0.0
2	3.9	88.5	0.8	3.1	0.0
3	6.9	98.0	0.2	6.7	0.0
4	6.5	98.6	0.1	6.4	0.0
5	1.8	95.6	0.1	1.7	0.0
6	18.6	47.1	1.2	17.3	0.1
7	44.3	53.1	16.7	25.1	2.5

4 考察とまとめ

ヒット率は表3より領域全体で98.8%と高い率であった。また、バストラフィックは表4よりヒープ領域のスワップイン、スワップアウトによるものが半数以上を占めているということがわかった。MRBによるGCを用いることにより、ヒープ領域におけるバストラフィックが改善されるとの報告[6]があり、より大きなベンチマークプログラムなどに対しても、評価に用いた処理系よりバストラフィックが緩和されることが期待できる。

更新型プロトコルの放送特性は、表5に示されている。この表より、ヒープ、通信領域において、コピー数の多いブロックに書き込み放送が行われていることがわかる。コピー数が2から5までに限って有効な放送が行われている。しかし、放送したデータのコピー数が0の場合が11.4%あった。これは2つ以上のキャッシュで共有されていたブロックが1つを残してリブレースされた場合に生じる。この場合「共有状態から非共有状態に戻る制御」を行うことにより、無駄を削減できる。

今後、これらのデータをもとに処理系のチューニングを進め、さらに大規模なベンチマークにより評価を行っていく予定である。

謝辞

日頃、助言をいただく新世代コンピュータ技術開発機構第1研究室、および沖電気のPIM担当諸氏に感謝する。

参考文献

- [1]大原他：「並列推論マシンPIM/iの概要」、情報処理学会第40回全国大会予稿集、1990
- [2]松本他：「KLのメモリ参照特性に適した並列キャッシュ機構」、ICOT TECHNICAL REPORT TR-322
- [3]吉田他：「並列推論マシンPIM/iの開発支援環境—シミュレータ—」、情報処理学会第41回全国大会予稿集、1990
- [4]久野他：「並列推論マシンPIM/iの処理系の概要」、情報処理学会第41回全国大会予稿集、1990
- [5]大原他：「並列推論マシンPIM/iのメモリシステムの評価」、情報処理学会第42回全国大会予稿集、1990
- [6]西田他：「MRBによる多重参照管理方式」、情報処理学会第35回全国大会予稿集、1987