

PIM/m フロントエンド・プロセッサの速度性能評価

佐伯 稔 中島 浩 立野裕和 池田守宏 田嶋隆二 (三菱電機)

1. はじめに

PIM/mは第五世代プロジェクトの一環として開発中の並列推論マシンである。その要素プロセッサの主構成要素である2種のVLSIチップPU(プロセッシング・ユニット)、CU(キャッシュ・ユニット)[1]はフロントエンドプロセッサ(以下PSI-IIIと呼ぶ)の構成要素としても使用されている。今回、このPSI-III上でKL0のプログラムを実行させ、PSI-IIIのシステム性能の評価を行った。以下にその評価結果を述べる。

2. アーキテクチャ上の特徴

PSI-IIIは水平型マイクロプログラムによってWAMベースの機械語命令を実行する逐次推論型のPROLOG専用機である。その主な特徴として次のようなものが挙げられる。

(1) タグアーキテクチャ:

パイプライン上流にはオペランドのタグにより実行ステージのエントリアドレスを修飾する機能や2方向、多方向の分岐条件を設定する機能がある。また、実行ステージにおいてはタグによる各種分岐機能が用意されている。これらの強力なタグ判定機構でデータタイプによる処理内容の変更を効率的に行える。

(2) 5段のパイプライン制御:

5段のパイプラインの各ステージは順に、D(デコード)、A(アドレス計算)、R(データ読出し)、S(データセットアップ)、E(実行)に分かれている。Eステージはマイクロプログラムによって制御される。パイプライン上流ステージはオートデリファレンス機構を有しており、PROLOG特有のデリファレンス処理を自動的に実行できる。また、デリファレンス結果のタグでマイクロプログラムのエントリアドレスを修飾できる。これらの機能は性能向上及びマイクロプログラム開発の効率化に大きく貢献している。

(3) undo情報を保持するトレールバッファ:

トレールバッファはシャロウバックトラックを高速に実行するneck_cut最適化のために新規に導入された機構で、PROLOG変数への値の束縛時のundo情報の保持のために用いられる。

3. プログラムの動的評価

(1) ベンチマークプログラムの実行性能

代表的なPROLOGのベンチマークの実行性能を表1に示す。参考までにPSI-IIとの性能比も付記した。大体においてPSI-IIの2~3倍以上の高性能が得られていることがわかる。

表1 PSI-IIIのベンチマーク性能

Prolog Contest

ベンチマーク	性能(KLIPS)	処理時間(msec)	対PSI-II性能比
APPEND	1393.3	0.00272	3.24
LISP-TARAI	0.163	305.40	2.51
LISP-FIB	151.3	38.79	2.56
LISP-NREV	232.2	15.05	2.88
QSORT50	422.7	1.44	2.24
NREV30	1074.7	0.47	2.96
QUEEN(ONE)	755.7	7.48	2.80
QUEEN(ALL)	822.7	121.55	2.80
RVSBL	230.5	5.64	2.46
SREV4	434.0	0.49	3.15
SREV5	332.8	2.57	2.42
SREV6	281.3	12.13	2.23
TRAV1000	332.3	5.38	2.50

ECRC

FIBO.	422.7	10.25	2.12
MAP	252.5	0.26	1.77
ANAN	287.8	1715.75	2.41
WUYESI	324.1	4.21	2.34
QS	422.5	1.42	2.27
QU	503.7	1.21	2.46
QUERY	155.5	11.56	1.63
DIFFEREN	125.0	0.55	1.97
DIFF	371.5	1.64	2.26
NREV150	963.0	11.02	2.88
NREV200	937.0	21.67	2.63

(注) 1977年7月 PSI-III:65msec PSI-II:155msec

(2) トレールバッファの効果

シャロウバックトラックを高速化するために我々は既に、PSI-IIでneck_cut最適化を実現している[2]。これはクローズ選択時にメモリ上にバックトラックフレームを生成しないで専用のレジスタ上に必要なバックトラック情報を保持するものである。ただし、undo情報の保持には通常のトレールスタックを用いていた。

PSI-IIIではundo情報保持のためのH/Wサポートとしてトレールバッファが導入された。neck_cut最適化が適用されて

Performance Evaluation of PIM/m Front End Processor

Minoru SAEKI, Hiroshi KAKASHIMA, Hirokazu TATENO, Morihiro IKEDA, Ryuji TAJIMA

Mitsubishi Electric Corporation

いる間に変数セルへの書き込みが行われると、そのアドレスがトレールバッファにプッシュされる。また、failするとバッファの内容がポップされ、そのアドレスが未定義変数に戻される。PSI-IIでの実現の仕方と比較すると、トレールバッファ導入の効果として、

- ① TRY系の命令で更新すべきレジスタの種類が減少する。
- ② FAIL中のundo処理が簡単になる。
- ③ トレールスタックにアクセスする回数が減少する。

などが挙げられる。

PSI-IIと同じくトレールバッファを用いない形でマイクロプログラムをコーディングしてトレールバッファの効果を実証した。対象としたプログラムはベンチマークプログラムのquick_sortと応用プログラムの一つである最短経路問題である。測定はH/Wシミュレータを用いて行った。トレールバッファを用いた場合の性能向上の割合はそれぞれ12.1%、3.7%となっている。向上率の差はプログラムの特性に起因している。quick_sortは実行時間1.5万クロックに対しneck_cut最適化が適用された述語の呼出しは225回、最短経路問題では17万クロックに対して806回であった。

(3) メモリアクセス特性、パイプライン動作特性

2種類ずつのベンチマークプログラム、応用プログラムについて、PSI-IIIとPSI-IIの性能比を表2(a)に示す。明らかにベンチマークプログラムと応用プログラムの間に性能比の格差があることがわかる。この格差の原因について調べたことを以下に述べる。なお以下のデータはすべて(2)と同じH/Wシミュレータを用いて測定した値である。

前述の各プログラムのメモリアクセス特性(データキャッシュ、命令キャッシュのヒット率)、パイプライン動作特性(パイプラインキャンセルの頻度)をそれぞれ表2(b), (c)に示す。PSI-IIIにおいてキャッシュがミスヒットした時のメンテナンスに要する時間はPSI-IIと同じため、応用プログラムで思ったほど性能が出ていないのはデータキャッシュのヒット率によると予想していたが、そうでないことが表2(b)よりわかる。アクセス頻度とも相関は見られなかった。また、命令キャッシュのヒット率はコンパイラ以外は比較的小規模なプログラムであるためほとんど100%となっている。コンパイラはOSのメソッド呼出しなどプログラムが広範囲に渡っているため93.5%とやや低い値になっているものの最短経路問題と性能値が近いことから、命令キャッシュのミスヒットに伴うH/Wの処理は、並行して行われているパイプライン下流の処理に隠れていると予想できる。アドレス変換バッファのヒット率はすべて100%であった。パイプラインが途切れる頻度も直接性能差に影響していないことが表2(c)よりわかる。各種データ解析の結果、性能差はEステージの稼働率(Eステージが動作していたクロック数/全実行クロック数)に依存することが明らかになった。これを表2(d)に示す。PSI-IIIのジャンプ命令は次のような種類に分類される。

①無条件分岐(a) ②無条件分岐(b)

③2方向条件分岐 ④多方向分岐

①は分岐することが明らかで、分岐先もわかっているような命令であ

表2 PSI-IIIの動作特性

項目	ベンチマークプログラム		応用プログラム	
	QUEEN (ONE_SOL)	NAIVE_ REVERSE	平均値	最短経路問題
(a) 性能比 (PSI-III/PSI-II)	2.80	2.94	2.10	2.22
(b) プログラム実行率	0.980	0.974	0.982	0.976
命令実行率	0.999	1.000	0.995	1.000
(c) 命令キャンセル頻度 (回/全実行命令)	0.021	0.007	0.015	0.015
命令キャンセル頻度 (回/全実行命令)	0.088	0.022	0.101	0.058
(d) 実行E-ステージ回数	0.668	0.927	0.707	0.779
(e) 効率の悪い 命令キャンセル頻度 (回/全実行命令)	0.001	0.003	0.011	0.005

る。この場合、パイプライン上流で指定することでパイプラインの乱れを最小限にしてジャンプできる。②は分岐先がEステージに来るまでわからず、パイプラインキャンセルを必ず伴うタイプである。③は与えられた条件を満たさなかった時のみ②のような動作となるが、条件を満たした場合はパイプラインは一切乱れない。④はH/Wの動作としては②と同じである。各プログラム中で実行された命令を調べたところ、Eステージの稼働率は実行時まで次の命令実行アドレスが求まらず、かつ、プログラムカウンタ(PC)を正しい値に更新するとすぐに処理を終えるような命令の頻度に関係していた。表2(c)にこの様子を示す。このような命令は、マイクロプログラムのステップ数だけみるとPSI-IIと比較してマシンサイクル比以上の性能が出ているが、パイプラインを乱すためH/Wの効率的な動作を妨げることになる。PC更新後Eステージの処理が速く命令では、その間に次の命令がフェッチされて来るためあまり問題にならない。なお、ベンチマークでは大部分のジャンプ命令が、①あるいは②で占められるケースであるため高い性能が得られている。

4. まとめ

今回開発されたPIM/mフロントエンド・プロセッサの性能評価を行った。その結果、全体的にPSI-IIの2倍以上の高性能が得られていることを確認した。また、新たに導入されたトレールバッファの有用性を示すことができた。性能向上率の低いプログラムについては、分岐命令によるパイプラインの乱れが原因であることがわかった。

謝辞: 日頃貴重な助言と御協力を頂いているICOT第一研究室の方々、SETの川田氏、協栄産業の牧野氏、大平氏に深く感謝致します。

参考文献

- [1] 中島他: PIM/m要素プロセッサのアーキテクチャ 並列処理シンポジウムJSP'90
- [2] 立野他: PSI-IIの機械命令セット評価 計算機アーキテクチャ 74-3 (1989. 1. 26)