

並列推論マシン PIM/i におけるゴール通信方式の評価

久野英治・佐藤正俊
沖電気工業株式会社

1 はじめに

我々は、第五世代コンピュータプロジェクトの一環として並列推論マシン PIM/i の研究開発を行っている [1]。PIM/i は、8 台のプロセッサと共有メモリを共有バスで接続した密結合型のマルチプロセッサシステムであり、記号処理向きの並列論理型言語 KL1 をターゲット言語とするマシンである。PIM/i では、プロセッサにコードとデータを分離したキャッシュを用意し、データキャッシュには、共有データの一意性を保つ更新型キャッシュを採用した [2]。更新型キャッシュは、共有データの更新時に他で共有されたデータも更新するので、通信が容易に実現できると言う利点があるが、更新毎にバストラフィックが発生すると言う欠点もある。そこで、我々は、更新型キャッシュのバストラフィックをできるだけ減少させて、システム性能を向上させることを主眼とした処理系を開発している [3]。それは、通信によって共有されるデータ量を抑えるために、通信対象となるゴールの共有を回避する手法であり、主としてゴール通信の実装に特徴を持つ。

一般にバス結合によるマルチプロセッサ上で処理系等を実現する場合、バストラフィックが性能を決定する主たる要因の一つとなる。本稿では、上記の処理系の有効性を確認するために、バストラフィック等の観点から評価を行った。

2 ゴール通信の概要

2.1 設計方針

バスのトラフィックを減少させることを処理系の設計方針とした。PIM/i では、更新型キャッシュを採用しているので共有されたメモリアドレスの内容の一意性を保つためにバストラフィックが発生する。このため通信時に用いられる通信バッファは、システム固定領域に設定し共有化してバストラフィックを利用することとしたが、バストラフィック減少のために不必要な共有をできるだけ避けられるようにメモリ管理を局所化することとした。

我々の処理系では、メモリアccessを要する通信対象データをゴールレコードと呼ぶ。ゴールレコードは、実行の最小単位であるゴールのコンテキストを格納するデータであり、局所的に用いられる。また、このレコードは、サ

イズが大きく、かつ大量に用いられる。従って、メモリの消費を抑えるためにゴールレコードを回収し、再利用できるようにフリーリストで管理することとしている。しかし、ゴールレコードが通信されて、内容をアクセスされると共有化される。共有化されたレコードが繰返し利用されると、更新毎にバストラフィックが発生する。そこで、通信によるゴールレコードの共有も回避することとした。

2.2 ゴール通信

処理系の通信は、負荷の要求を発するゴール要求通信、その要求に答えるゴール通信と一時停止したゴールを再起動させるレジューム通信から成る。ここでは、ゴール通信のみに焦点を当て、通信と通信によって共有されるデータの更新によるバストラフィックの評価を行う。

上記の方針をもとにして作成した処理系におけるゴール通信は、送信側がゴールのコンテキストを通信バッファを通じて、受信側に渡す方法（以下、コピー法）である。これによって、ゴールレコードの共有を回避でき、バストラフィックを減少させられる。これに対して、通信に伴うバスのトラフィックや通信の手続きのコストが安価であり、通信以外のデータの共有・更新によるバスのトラフィックが小さいゴール通信がある。それは、送信側が保持していたゴールを通信バッファを介して受信側に渡す方法（以下、ポインタ法）である。

3 バストラフィック

3.1 ベンチマーク

前述した2つの通信方式を評価するために、我々は2つのベンチマークプログラム queens, bup を、レジスタランスファールレベルの PIM/i システムシミュレータで実行した。ポイントとなるのは、バスのトラフィックが与える影響である。評価対象としたデータは、実行サイクル数、バスのトラフィックといえる占有率並びにバス衝突の衝突を示すプロセッサのバス衝突率である。対象となったプログラムは、コードキャッシュサイズ (32K 語) に比べてコードサイズが queens で 1.4K 語、bup で 10.5K 語と小さいので、コードキャッシュミスヒットによって発生するバストラフィックの外乱を無視できる。

3.2 実行性能

表1に台数効果による実行性能とコピー法並びにポインタ法による比較を示す。実行性能は、プロセッサ1台での

*Evaluation of Goal Communication on Parallel Inference Machine PIM/i

Fuji KUNO, Masatoshi SATO,
Oki Electric Industry Co., Ltd.

表 1: 台数による実行性能

PEs		1	2	4	6	8
queens	COPY	1.0	1.9	3.5	4.7	5.9
	PTR	1.0	1.8	3.0	3.9	4.7
	(%)	0.0	3.9	13.8	19.5	26.0
bup	COPY	1.0	1.9	3.3	4.1	5.6
	PTR	1.0	1.7	2.9	3.8	5.0
	(%)	0.0	10.8	12.3	7.6	12.0

表 2: バスの占有率

PEs		1	2	4	6	8
queens	COPY(%)	4.4	10.3	27.3	42.2	57.0
	PTR(%)	4.4	18.8	52.0	74.1	84.1
bup	COPY(%)	7.7	18.3	34.6	62.3	71.6
	PTR(%)	7.7	24.9	61.9	73.4	76.9

実行サイクル数を分子とし、各プロセッサ数毎の実行サイクル数を分母として得られた相対性能で表される。方式の比較は、コピー法と比べて性能がどれだけ向上したかを示す。また、処理系の実装部の相違は、通信方式だけなので、PE1 台での単体性能は等価である。従って、各プロセッサ台数における実行性能の差を、そのまま方式における差として示している。

いずれのプログラムも、通信が生じる複数プロセッサの場合、コピー法がポインタ法より4%から26%ほど、実行性能が向上する。しかし、動的にプログラムが実行されるため、同じベンチマークであっても通信のタイミングや通信されるゴールが保持するデータにより負荷のバランスが異なる。そのため負荷の偏在によって生じる実行性能がここに含まれている可能性もある。

3.3 バスの占有率

次に、上記の性能が異なる要因の一つと考えられるバスの占有率を示したのが表2である。ここで示しているデータは、実行サイクル中における全プロセッサのバスの占有サイクル数の割合である。占有サイクル数は、プロセッサがバス権を獲得してから解放するまでのサイクル数であり、各アクセスパターンで一定であるので、それぞれのアクセス数とそれぞれのパターンにおけるアクセスサイクル数の積の総和として示される。

トラフィックが増加するほど、プロセッサがバスを獲得するのに要するサイクル数が増加する可能性が高くなる。これは、バス権を獲得できるまで、プロセッサがバス獲得待ちの状態となるためである。そのため、この状態が長く続くほどシステムの性能が低下する。1台のプロセッサが実行中にバス獲得待ちの状態に陥ったサイクル数の総数と全実行サイクル数との比をプロセッサのバス衝突率と定義する。表3では、プロセッサ当たりの平均バス衝突率を示している。

この結果によれば、コピー法の方がバスのトラフィックを減少させるのに有利であると言える。また、トラフィックの大きい方がバス衝突率が高くなると言える。コピー法

表 3: プロセッサ当たりのバス衝突率

PEs		1	2	4	6	8
queens	COPY(%)	0.7	1.5	3.7	5.2	8.4
	PTR(%)	0.7	4.0	11.1	16.8	23.4
bup	COPY(%)	1.0	3.0	4.7	11.9	12.6
	PTR(%)	1.0	4.9	13.7	16.0	19.1

と比べてポインタ法のバスのトラフィックが増える要因が2つある。一つは、ゴールレコードを受信したプロセッサがアクセスする際に発生するバスのトラフィックである。これによって、ゴールレコードが共有される。他方は、共有されたゴールレコードを再利用するときに発生するバストラフィックである。このレコードが更新されると、データがバス上に放送される。ところが、コピー法では、上記の2つのトラフィックは全く無い。

一方、通信に要するコストは、ポインタ法の方がコピー法と比べて小さい。この理由は、ポインタ法の方が共有された通信バッファの更新を行う際のバストラフィックが小さく、かつ通信手続き（コード）が小さいからである。しかし、ベンチマークの結果に従えば、PIM/iでは、処理系の通信処理のコストよりも共有データ更新に発生するバスのトラフィックのコストの方が大きいと判断できる。それゆえ、PIM/iでは、ポインタ法の通信よりもコピー法の方がバストラフィックが少ないので有利であると結論できる。

4 まとめ

更新型キャッシュでは、コピー法によるゴール通信を実装した処理系の方がバスのトラフィックを軽減できる。特に、頻りに再利用されるゴールの共有を避けて更新時のバストラフィックが減少でき、それによって、プロセッサのバス衝突率を低く抑えられる。それゆえ、プロセッサ台数が増加した時の処理系の性能が向上する。

更新型キャッシュ向きに処理系のゴール通信を実装することが有効であることを確認できた。この結果をもとに、フルセットのKL1 処理系に更新型キャッシュ向きのゴール通信を実装し、その有効性を確認して行く予定である。

謝辞

最後に、口頭、御助言を頂く ICOT 第一研究室、および、沖電気の PIM 担当者諸氏に感謝する。

参考文献

- [1] A.Goto et al. Overview of the Parallel Inference Machine Architecture(PIM). In FGCS 1988, pp 208-229, Nov.1988
- [2] 武田他：並列推論マシン PIM/i のメモリスистムの概要、情報処理学会第41回全国大会予稿（1990）
- [3] 久野他：並列推論マシン PIM/i の処理系の概要、情報処理学会第41回全国大会予稿（1990）