

並列推論マシン PIM/i の要素プロセッサのアーキテクチャ評価

武田浩一、佐藤正俊、大原峰彦

takeda@okilab.oki.co.jp

沖電気工業株式会社

1 はじめに

我々は、第五世代コンピュータ・プロジェクトの一環として並列推論マシン PIM/i[1] の研究開発を行っている。PIM/i は複数クラスタネットワークで接続して構成され、各クラスタは 8 台の要素プロセッサが共有バスを介して共有メモリに接続された構成をしている。要素プロセッサは、1 チップ化とコンパイラによる最適化を考え、RISC 型命令セットを基本とした。さらに、タグの支援を行うとともに、パイプライン処理と複数操作の同時実行により、処理の高速化を図っている。PIM/i の研究目標は記号処理の効率的な実行であり、プログラミング言語は並列論理型言語 KL1 を採用している。PIM/i での KL1 の実行は、抽象命令セット KL1b を経て PIM/i の要素プロセッサ [2] の機械語まで変換し、機械語を直接実行する方法である [3]。

本稿では、KL1 で記述されたベンチマークプログラムを使用して、PIM/i 要素プロセッサのアーキテクチャについて、操作の実行頻度とハードウェアの利用効率の観点から評価を行ったので報告する。

2 要素プロセッサのアーキテクチャ

要素プロセッサのアーキテクチャを図 1 に示す。この図は、水平方向は命令フィールドに対応する 3 つのユニット (実行順序制御、メモリアクセス制御、演算) を示し、垂直方向はパイプラインの 3 つのステージ (Fetch: F, Execute: E, Write: W) を示している。

2.1 ユニット

要素プロセッサは、1 命令語を 3 フィールドに分割し、それぞれ独立に機能ユニットを制御すること (LIW) により命令レベルの並列処理を支援している。命令の各フィールドは原則としてそれぞれ、分岐操作、メモリアクセス操作、演算操作を指定でき、実行順序制御、メモリアクセス制御、演算を実行する 3 つのユニットに対応する。

実行順序制御 (S) ユニットは、命令ポインタ (IP)、分岐先アドレス計算回路 (BALU) などを持ち、命令フェッチ制御を行う。メモリアクセス制御 (M) ユニットでは、メモリ (Data Mem) とレジスタファイル (RF) 間の転送制御を行う。演算 (P) ユニットは、レジスタファイル (RF)、演算回路 (ALU)、値操作回路 (VOP)、タグ操作回路 (TOP)、

表 1: 操作の実行頻度 (%)

	qk8	hup	pri	ave.
分岐操作	36	36	44	39
・ Branch(相対)	11	11	14	12
・ Tag branch(相対)	16	15	19	17
・ Jump(絶対)	2	2	0	1
・ Call	3	3	5	4
・ Return	4	5	6	5
メモリアクセス操作	27	25	13	22
・ Read	15	13	7	12
・ Write	11	11	5	9
・ Lock	1	1	1	1
演算操作	82	84	75	80
・ Move reg-reg	15	15	26	19
・ Load imm	13	16	7	12
・ Tag	9	13	6	9
・ Others	46	40	36	40
合計	245	245	133	141

タグ判定回路 (TM) をもち、命令語長の関係で制限付きながらタグと値の並列操作が可能である。RF は、メモリアクセスと演算を独立に行うために、演算操作用のポート (読み出し 2 ポート、書き込み 1 ポート) の他に、ロード操作の書き込みポートとストア操作の読み出しポートを持っている。

2.2 ステージ

パイプラインは、F、E、W の 3 ステージから構成される。F ステージは、S ユニットからの命令アドレス出力により開始され、命令バスから命令をフェッチする。ここで、命令バスはデータバスとは分離されているため、命令フェッチがデータアクセスに影響を与えることはない。E ステージは、命令デコード (D)、オペランド読み出し (R)、実行 (X) を行う。このステージでは、各ユニットが並列に処理を行う。S ユニットでは、次にフェッチする命令アドレスの計算を行う。M ユニットでは、メモリまたは RF から読み出しを行う。P ユニットでは、タグ操作・判定または値の演算のいずれかあるいは両方を行う。W ステージは、IP の更新、メモリ書き込みまたはロードデータの RF への書き込み、演算結果の RF への書き込みをそれぞれのユニットで行う。

*Measurements of Instruction Set Usage of the Processing Element of Parallel Inference Machine PIM/i
Koichi TAKEDA, Masatoshi SATO, Teruhiko OOHARA,
Oki Electric Industry Co., Ltd.

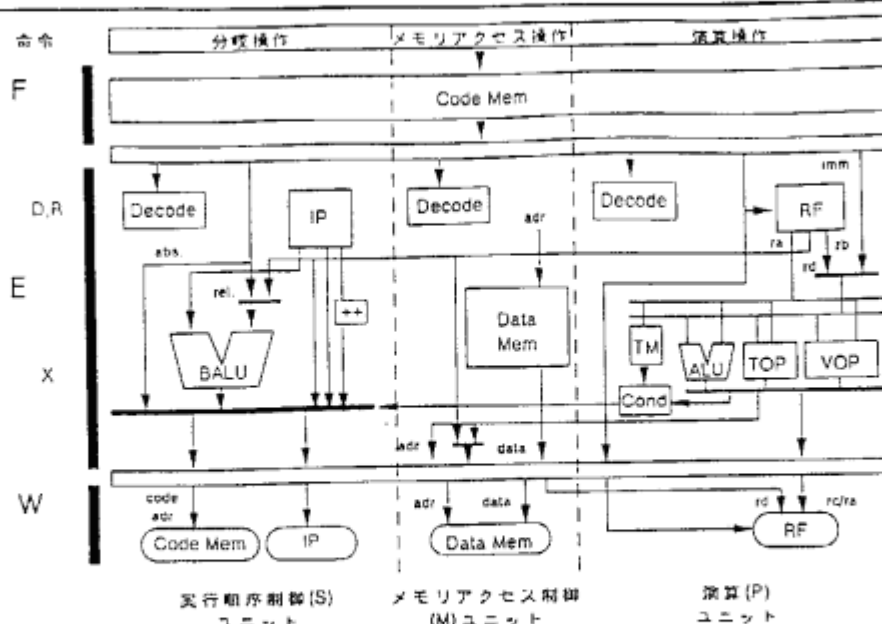


図 1: 要素プロセッサのアーキテクチャ

3 評価

評価は、PIM/i 機械語に変換された KL1 プログラムを、要素プロセッサをレジスタトランスファレベルでシミュレートするシミュレータで実行し、そのデータに基づいて行った。測定に使用した KL1 プログラムは、クイーン問題 (qk8)、パーザ (bup)、素数生成 (pri) である。収集データは、操作の実行頻度と並列実行された操作の割合である。

表 1 に、操作の実行頻度を示す。数値は、実行された全命令語に対する各操作数の割合 (%) を示しており、命令は最大 3 操作を含むので合計が 100% 以上になっている。表 2 に、同時に実行された操作の組合せの割合を示す。

S ユニットの、操作の種類によって使用するパスが異なる。相対分岐時は分岐先アドレスの計算のために BALU を使用し、絶対分岐時は使用しない。分岐以外は命令ポインタをインクリメントする。ここで、分岐操作は命令語の約 39% であり、分岐のほとんどは相対分岐で、約 29% であった。分岐操作と演算操作が同時に行われた割合は約 22% であり、BALU と ALU を独立させたことは命令語数を減らすのに有効であると言える。一方、タグ判定による分岐は条件分岐の半分以上を占め、タグ判定のためのハードウェアを追加したことは有効であった。

命令バスとデータバスとが分離されていない場合、メモリアクセスが原因でパイプラインハザードが生じる。メモリアクセス操作は、約 22% 含まれており、命令バスとデータバスの分離はパイプラインハザードの減少に有効であると言える。

メモリアクセス操作と演算操作が同時に行われている割合は約 11% であった。これは、RF のポート数を増やしたことによる効果である。このため、メモリアクセス時に空いている演算回路が有効利用され、P ユニットの命令語数に対して 80% 利用できた。

命令語あたりの平均並列実行率は 141% であった。この値は、分岐操作によるパイプラインの乱れを含んでい

表 2: 命令レベル並列処理の割合 (%)

	qk8	bup	pri	ave.
演算	30	29	37	32
メモリアクセス	10	9	8	9
メモリアクセス + 演算	15	13	4	11
分岐	15	17	22	18
分岐 + 演算	21	21	24	22
分岐 + メモリアクセス	1	1	1	1
分岐 + メモリアクセス + 演算	0	0	0	0
タグ操作 + 演算	8	10	4	7

い。分岐操作による無効サイクルは、全実行サイクルの 13% 程度であり、これを含めたサイクルあたりの平均並列実行率は 122% であった。

4 おわりに

PIM/i 要素プロセッサのアーキテクチャについて、操作の実行頻度とハードウェアの利用率の観点から評価した。その結果、PIM/i 要素プロセッサの構成でハードウェアの利用率を高めることができ、処理の効率化が図れることを示した。

日頃、助言をいただく (財) 新世代コンピュータ技術開発機構 (ICOT) 第 1 研究室、および沖電気の PIM 担当諸氏に感謝する。

参考文献

- [1] 大原他：並列推論マシン PIM/i の概要、情報処理学会第 40 回全国大会、1990
- [2] 武田他：並列推論マシン PIM/i の要素プロセッサのアーキテクチャ、情報処理学会第 40 回全国大会、1990
- [3] 佐藤他：並列推論マシン PIM/i の開発支援環境一翻訳系一、情報処理学会第 41 回全国大会、1990