

並列推論マシン PIM/i の メモリシステムの概要

武田 浩一 佐藤 正樹 大原 輝彦
沖電気工業株式会社

1 はじめに

我々は、第五世代コンピュータ・プロジェクトの一環として並列推論マシン PIM/i^[1] の研究開発を行っている。PIM/i は複数クラスタから構成され、各クラスタは 8 台のプロセッシングエレメントが共有バスを介して共有メモリに接続された構成をしている。

本稿では、PIM/i の要素プロセッサのメモリアクセス命令、キャッシュメモリ、局所メモリ、およびクラスタ内メモリ管理機構の概要について述べる。

2 メモリアccess命令

PIM/i プロセッサでは、1 回のメモリアccessを 2 ステップ (2 命令) で実現している。以下に、プロセッサのメモリアccessとその命令について述べる。

2.1 アドレス生成命令

メモリアccessの 1 ステップ目で使用される命令で、アドレス計算を行い、その結果をアドレスバスに出力する。アドレス計算では、次のことが可能である。

```
nar ← reg1 + ((reg2 or inn) << s)
nar ← reg3 ← reg1 + ((reg2 or inn) << s)
nar ← reg1, reg3 ← reg1 + ((reg2 or inn) << s)
```

但し、

nar: アドレスバス regn: レジスタ inn: 即値
<< シフト操作 s: 即値 (0 ~ 3)

2.2 レジスタ・メモリ間データ転送命令

メモリアccessの 2 ステップ目で使用される命令で、メモリからのデータをレジスタに書き込む命令 (ロード命令) とレジスタまたは演算結果をメモリに転送する命令 (ストア命令) がある。(ロック制御命令については後述。) また、複数命令の同時実行^{[2][3]}が可能のため、

- (1) メモリアccessと同時に別の演算を実行することができる。
- (2) メモリアccessと同時に次のメモリアccessに対するアドレス生成命令を同時に実行することができるので、1 サイクル毎にメモリのロード

アクセスが可能である。

2.3 ロック制御命令

マルチプロセッサ環境における排他制御機構を支援するため、語単位に制御できるロック制御命令を持っている。ロック制御命令は、レジスタ・メモリ間データ転送命令にロック制御指定を付加する形で実装されており、次のものがある。

- (1) ロード・アンド・テスト・アンド・ロック

ロードすると同時に、その語がロックされているかテストし、さらにその語をロックする。

- (2) ストア・アンド・アンロック

ストアすると同時にその語をアンロックする。

- (3) アンロック

アンロックのみ行う。

3 キャッシュメモリ

プロセッサに命令とデータを効率よく供給するため、各 P E (Processing Element) に大容量の命令キャッシュとデータキャッシュを設けた。いずれも 32 K 語、ダイレクトマッピング方式で、1 ブロックは 4 語からなる。データキャッシュは共有バスのトラフィックを低減するためライトバック方式で、キャッシュコピー間の一貫性を保つために更新型プロトコルの 6 状態^[4] スヌープキャッシュを採用している。

3.1 データキャッシュの構成

図 1 にデータキャッシュの構成を示す。データキャッシュは、プロセッサ側のバスと共有バスの双方にそれぞれインターフェース回路を介して接続されており、メモリ部と制御部から構成されている。メモリ部は、キャッシュアドレスを格納するメモリと比較器からなる IM (Index Memory)、キャッシュブロックの状態を格納する SM (Status Memory)、およびキャッシュデータを格納する CM (Cache Memory) から構成されている。制御部は、プロセッサからのメモリアccessコマンドに回答するマスタコントローラ、共有バスからのコマンドに回答するスレーブコントローラ、及びプロセッサと共有バスからのコマンドが競合した場合の処理を行うコンフリクトリゾルバから構成されている。

The Overview of the Memory System of Parallel Inference Machine PIM/i
Koichi TAKEDA, Masaki SATO, Teruhiko OOHARA
Oki Electric Industry Co., Ltd.

スヌープキャッシュを構成する上で問題となる点のひとつに、プロセッサからのコマンドと共有バスからのコマンドの競合がある。これを解決するために、メモリに対してプロセッサと共有バスの双方から同時アクセス可能としている。

このため、SMまたはCMの同一アドレスに双方から同時に書込みが起こる場合以外は、プロセッサ側のコマンドと共有バス側のコマンドは全く遅延なく実行される。一方、SMまたはCMの同一アドレスに対して双方から同時に書込みが起こる場合はコンフリクトリゾルバがプロセッサ側のコマンドを遅延させる。

4 局所メモリ

煮る。

プロセッサの取り扱う論理アドレス（1 G 語）は、セグメントアドレス変換、ページアドレス変換の2段階を経て、物理アドレスに変換される。

ページアドレス変換は、共有メモリにアクセスするときに、共有メモリ側で行われ、大域アドレスが物理アドレスに変換される。

6 おわりに

謝辭

日頃、助言をいただく(財)新世代コンピュータ技術開発機構(ICO T)第1研究室、および沖電気のPIM担当諸氏に感謝する。

- [1] 大原他：並列推論マシンPIM/iの概要
情報処理学会第40回全国大会予稿集，1990
- [2] 武田他：並列推論マシンPIM/iの要素プ
ロセッサのアーキテクチャ
情報処理学会第40回全国大会予稿集，1990
- [3] 加藤他：並列推論マシンPIM/iのファイ
ングレインパラレリズム
本大会予稿集，1990

