

並列推論マシン PIM/i の メモリシステムの概要

武田浩一 佐藤正樹 大原輝彦
沖電気工業株式会社

1.はじめに

我々は、第五世代コンピュータ・プロジェクトの一環として並列推論マシンPIM/i^[1]の研究開発を行っている。PIM/iは複数クラスタから構成され、各クラスタは8台のプロセッシングエレメントが共有バスを介して共有メモリに接続された構成をしている。

本稿では、PIM/iの要素プロセッサのメモリアクセス命令、キャッシュメモリ、局所メモリ、およびクラスタ内メモリ管理機構の概要について述べる。

2. メモリアクセス命令

PIM/iプロセッサでは、1回のメモリアクセスを2ステップ(2命令)で実現している。以下に、プロセッサのメモリアクセスとその命令について述べる。

2.1 アドレス生成命令

メモリアクセスの1ステップ目で使用される命令で、アドレス計算を行い、その結果をアドレスバスに出力する。アドレス計算では、次のことが可能である。

```
nar ← reg1+((reg2 or imm)<<s)
nar ← reg3 ← reg1+((reg2 or imm)<<s)
nar ← reg1, reg3 ← reg1+((reg2 or imm)<<s)
但し、
nar:アドレスバス regn:レジスタ imm:即値
<< シフト操作 s:即値 (0~3)
```

2.2 レジスタ・メモリ間データ転送命令

メモリアクセスの2ステップ目で使用される命令で、メモリからのデータをレジスタに書き込む命令(ロード命令)とレジスタまたは演算結果をメモリに転送する命令(ストア命令)がある。(ロック制御命令については後述。)また、複数命令の同時実行^{[2][3]}が可能なため、

- (1)メモリアクセスと同時に別の演算を実行することができる。
- (2)メモリアクセスと同時に次のメモリアクセスに対するアドレス生成命令を同時に実行することができるので、1サイクル毎にメモリのロード

アクセスが可能である。

2.3 ロック制御命令

マルチプロセッサ環境における排他制御機構を支援するため、語単位に制御できるロック制御命令を持っている。ロック制御命令は、レジスタ・メモリ間データ転送命令にロック制御指定を付加する形で実装されており、次のものがある。

- (1)ロード・アンド・テスト・アンド・ロック
ロードすると同時に、その語がロックされているかテストし、さらにその語をロックする。
- (2)ストア・アンド・アンロック
ストアすると同時にその語をアンロックする。
- (3)アンロック
アンロックのみを行う。

3. キャッシュメモリ

プロセッサに命令とデータを効率よく供給するため、各PE(Processing Element)に大容量の命令キッシュとデータキッシュを設けた。いずれも32K語、ダイレクトマッピング方式で、1ブロックは4語からなる。データキッシュは共有バスのトラフィックを低減するためライトバック方式で、キッシュコピー間の一貫性を保つために更新型プロトコルの6状態^[4]スヌープキッシュを採用している。

3.1 データキッシュの構成

図1にデータキッシュの構成を示す。データキッシュは、プロセッサ側のバスと共有バスの双方にそれぞれインターフェース回路を介して接続されており、メモリ部と制御部から構成されている。メモリ部は、キャッシュアドレスを格納するメモリと比較器からなるIM(Index Memory)、キャッシュロックの状態を格納するSM(Status Memory)、およびキャッシュデータを格納するCM(Cache Memory)から構成されている。制御部は、プロセッサからのメモリアクセスコマンドに応答するマスターコントローラ、共有バスからのコマンドに応答するスレーブコントローラ、及びプロセッサと共有バスからのコマンドが競合した場合の処理を行うコンフリクトリゾルバから構成されている。

The Overview of the Memory System of Parallel Inference Machine PIM/i
Koichi TAKEDA, Masaki SATO, Teruhiko OOHARA
Oki Electric Industry Co., Ltd.

3.2 コマンド競合の解決

スヌープキャッシュを構成する上で問題となる点のひとつに、プロセッサからのコマンドと共有バスからのコマンドの競合がある。これを解決するために、メモリに対してプロセッサと共有バスの双方から同時アクセス可能としている。

IMは、プロセッサからのアドレスで読み出されるMIM (Master Index Memory) と共有バスからのアドレスで読み出されるSIM (Slave Index Memory) の2組をもち、双方からのコマンドに対して同時にヒット判定できる。SMおよびCMには、2ポートメモリを採用しており、同一アドレスに対する双方からの書き込み以外は、読み出し、書き込みが双方から同時にできる。また、これらを制御するマスターントローラとスレーブコントローラは独立に動作する。

このため、SMまたはCMの同一アドレスに双方から同時に書き込みが起こる場合以外は、プロセッサ側のコマンドと共有バス側のコマンドは全く遮断なく実行される。一方、SMまたはCMの同一アドレスに対して双方から同時に書き込みが起こる場合はコンフリクトリゾルバがプロセッサ側のコマンドを遮断させる。

以上のような方法でコマンドの競合を解決することにより、競合によるコマンドの遮断を最小限にし、性能の向上を図ることができる。

4 局所メモリ

各PEに、32K語の命令局所メモリ、16K語のデータ局所メモリを設けた。命令局所メモリ上には、非常によく使用するルーチン、組込み述語、ランタイムライブラリルーチンなどを格納すれば、共有メモリへの命令フェッチを節約できる。データ局所メモリ上には、各PEに局所的なデータを格納すれば共有メモリへのデータアクセスを節約できる。これにより、キャッシュのミスヒットの頻度を減らし、共有バスのトラフィックの低減を図ることがで

きる。

5 クラスタ内アドレス変換機能

プロセッサの取り扱う論理アドレス (1G語) は、セグメントアドレス変換、ページアドレス変換の2段階を経て、物理アドレスに変換される。

セグメントアドレス変換は、キャッシュメモリをアクセスする前に行われ、論理アドレスがクラスタ内に共通の大域アドレス (256G語) に変換される。変換は論理アドレスの上位2ビットを10ビットの値に置き換えることで行われる。

ページアドレス変換は、共有メモリにアクセスするときに、共有メモリ側で行われ、大域アドレスが物理アドレスに変換される。

局所メモリのアドレスはシステムで固定されており、アドレス変換を受けない。

6 おわりに

PIM/iの要素プロセッサのメモリアクセス命令、およびクラスタ内のメモリシステムの概要について述べた。現在、評議プログラムを用いた評議を行っている。評議結果については別の機会に譲る。

謝辞

日頃、助言をいただき（財）新世代コンピュータ技術開発機構（ICOT）第1研究室、および沖電気のPIM担当諸氏に感謝する。

参考文献

- [1] 大原他：並列推論マシンPIM/iの概要 情報処理学会第40回全国大会予稿集、1990
- [2] 武田他：並列推論マシンPIM/iの要素プロセッサのアーキテクチャ 情報処理学会第40回全国大会予稿集、1990
- [3] 加藤他：並列推論マシンPIM/iのファイングレインパラレリズム 本大会予稿集、1990

プロセッサインターフェース

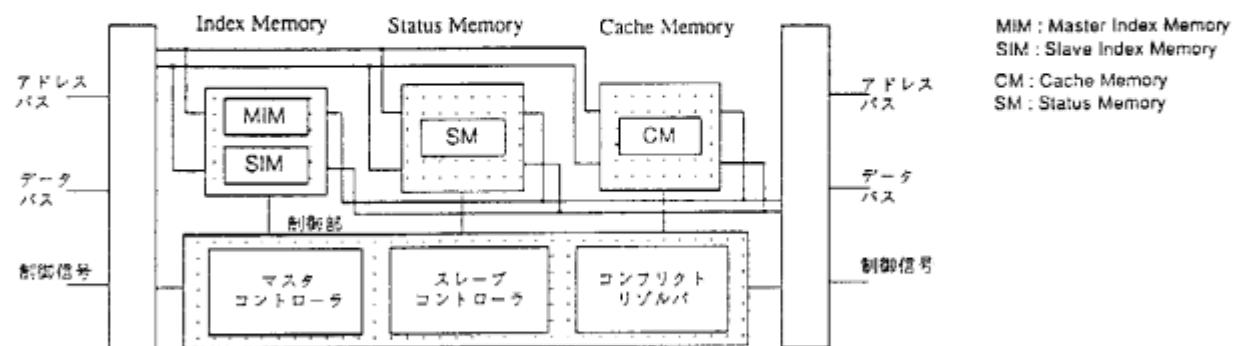


図1 データキャッシュの構成