

論理設計エキスパートシステム (2)

— 並列処理方式 —

荒木 均 館野峰夫 間藤隆一

松下電器産業 (株) 情報通信東京研究所

1 はじめに

論理回路の自動合成において、シミュレーティッド・アニーリングを用いた方法¹⁾は、回路の処理速度、演算器割り当て、レジスタ割り当て、バス割り当てを同時に考慮することができるので、グローバルに最適な設計解を得ることができる。しかし、動作アルゴリズムが大きい場合、膨大な計算時間が必要である。

本稿では、動作アルゴリズムを複数のブロックに分割し、各ブロックについて並列にアニーリング・ルールベース¹⁾を用いることにより、短時間で論理回路を合成する手法について述べる。

2 並列処理方式

2.1 概要

アニーリング・ルールベースを用いて良い設計解を得るためには、おおよそ演算数 n に比例した回数の移動が必要である。そして、移動毎にコストを計算する必要があり、コストの計算時間は $O(n)$ である。このため、アニーリング・ルールベースを用いて回路を求めるために必要な計算時間は $O(n^2)$ となる。このことから、動作アルゴリズムを複数のブロックに分割し、並列に各ブロックのアニーリングを行なうことにより、大幅に計算時間を短縮できる。

本システムの構成を図1に示す。まず、動作アルゴリズムを複数のブロックに分割する。この場合、互いに相互作用が小さいブロックに分割することが

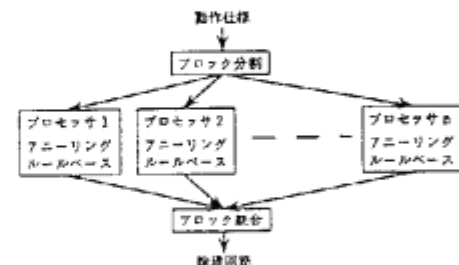


図1 全体構成

重要である。例えば、図2に示すようなデータ・フロー・グラフ (DFG) を二つのブロックに分割する場合を考える。DFGは動作アルゴリズムのデータ依存関係を表現していて、節は演算を、矢印はデータの依存関係を示す。データの依存関係から、上側のブロックの演算は、下側のブロックのどの演算よりも前に実行されなければならない。よって、上側と下側の演算の並列実行性を考慮する必要はなく、別々にアニーリングを行なってもさほど問題はない。

ブロックに分割された後、ヒューリスティックな知識による移動とランダムな移動を併用したアニーリング・ルールベースを用いて、各ブロックについて最適な設計解を求める¹⁾。この処理は一つのブロックに一つのプロセッサを割り当て、並列に処理される。上記のように分割された各ブロックについてアニーリングを行なった場合、各ブロックで割り当てられるALU、バスなどは共有化されていない。

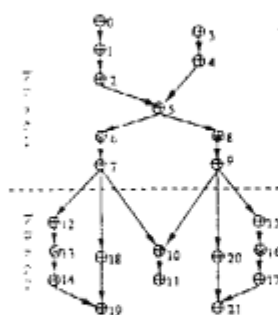
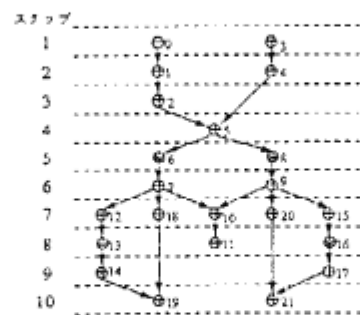
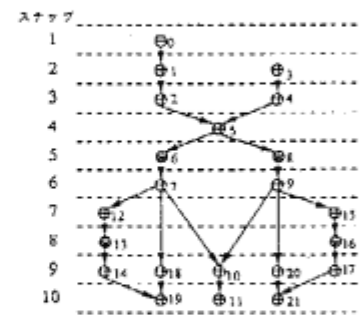


図2 DFG



(a) ASAP



(b) ALAP

図3 ASAPとALAPスケジューリング

そこで、各ブロックのアニーリングが終了した後、各ブロックのALUを移動させるアニーリングを用いて、全体のALU、バスなどの共有化を図り、ブロックの統合を行なう。

以下では、ブロックへの分割とブロックの統合の方法について述べる。

2.2 ブロック分割

まず、与えられた動作アルゴリズムをDFGに変換する。次に、DFGのデータ依存関係にもとづいてASAP (As Soon As Possible) とALAP (As Late As Possible) の二種類のスケジューリングを行なう。図2のDFGから得られるASAPとALAPのスケジューリングを図3に示す。ASAPとALAPのスケジューリングから各演算の割り当て可能なステップの範囲(時間枠)を求める²⁾。すなわち、各演算について、ASAPでのステップとALAPでのステップの間ならどこにでもその演算を割り当てることができる。図3から求めた各演算の時間枠を図4に示す。

時間枠をもとに、二分割を再帰的に繰り返すことにより、複数のブロックに分割する。まず、ステップ間を横切る時間枠の個数が最も少ないステップ間で分割する。ただし、そのようなステップ間が複数存在するときは、分割した際に、演算の個数の差が最小となるステップ間で分割する。図4の時間枠については、ステップ間6-7で分割される。分割された二つのブロックに対しても同様に二分割を行なう。この処理をブロックに含まれる演算数がしきい

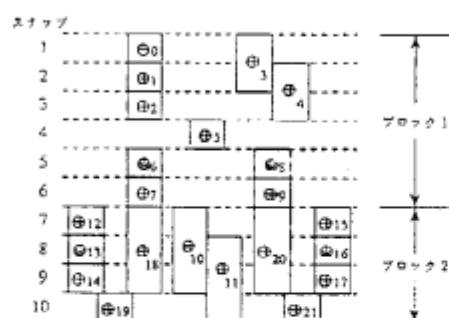


図4 演算の時間枠

	ALU1	ALU2	ALU3
ブロック1	+, -	←	*
ブロック2	*	←, +	
ブロック3	-	*	←, +
ブロック4	+, -	→	

図5 ブロック統合

値m (=30) より小さくなるまで再帰的に繰り返す。

このようにしてブロックに分割されると、一つのブロックに一つのプロセッサを割り当て、各ブロックで並列にアニーリング・ルールベースを用いて設計解を求める。

2.3 ブロック統合

ブロック統合により、ALU、バスなどの共有化を行ない、全体として最適な論理回路を合成する。各ブロックで割り当てられたALUを移動もしくは交換することによって、アニーリングを行ない、コスト³⁾が最小になるようにする。ただし、図5のようにALUの移動と交換は各ブロック内だけで行ない、ブロック間では行なわない。

4 結果

本システムを(財)新世代コンピュータ技術開発機構(ICOT)のマルチPS1上で並列論理型言語KL1を用いてインプリメントした。演算数が98である動作アルゴリズムを用いて、分割されたブロック数、コスト及び計算時間についての評価を行なった。その評価結果を表1に示す。分割を行なっても最終的に得られるコストはほとんど変化していないが、計算時間は大幅に減少していることがわかる。

5 おわりに

論理設計エキスパートシステムにおける、並列処理方式について述べた。本方式は、動作アルゴリズムを互いに相互作用が小さい複数のブロックに分割することにより、短時間で良い論理回路を求めることができる。

本研究は、ICOTの委託研究として行なったものである。

参考文献

- 1) 館野、荒木、関藤 "論理設計エキスパートシステム (1) - アニーリング・ルールベース -" 情報処理学会第41回全国大会 1990.
- 2) Paulin, P.G. and Knight, J.P. "Force-Directed Scheduling in Automatic Data Path Synthesis." in ACM IEEE 24th Design Automation Conf. Proc., pp.195-202, 1987.

ブロック数	コスト	計算時間(sec)
1	5890	15318.0
2	5775	9048.1
4	5725	3055.9
6	5990	1491.4
7	5700	987.9

表1 評価結果