

論理設計エキスパートシステム (1)

—アニーリング・ルールベース—

館野峰夫 荒木 均 間藤隆一

松下電器産業 (株) 情報通信東京研究所

1 はじめに

High Level Synthesis[1] は、論理設計の動作仕様からレジスタ・トランスファ・レベルの回路を生成する設計工程である。

我々は、設計者が与える実行時間とチップ面積の制約条件の元で、動作仕様を表す演算のスケジューリングを行い、実行時間とチップ面積のコストの和を最小にすることにより、最適な論理回路を設計する問題を対象とした。この設計問題は、しらみつぶし探索を実行すると組み合わせ爆発を起してしまう。

本システムでは、この組み合わせ最適化問題を効率的に解決するために、2つの方式を取り入れた。1つは、シミュレーテッド・アニーリング法[2]にヒューリスティックな知識を取り入れたアニーリング・ルールベース機能、もう1つは、動作アルゴリズムを等分割することにより複数のアニーリング・ルールベースを並列に実行させる並列処理方式である。

尚、本システムは (財) 新世代コンピュータ技術開発機構 (ICOT) が開発した並列マシン (マルチ PS1) 上の並列論理型言語 KLI で作成した。

本稿では、アニーリング・ルールベース機能について述べる。

2 論理回路への適用

本システムでは、動作仕様を表す演算を図1aで示される2次元空間 (以下、バリュートレース VT) にマッピングする。ここで、縦軸は実行ステップ、横軸は ALU である。つまり、 $\{a = b * c, f = b + c, e = d - a\}$ の3演算は、同じステップなので同時に実行可能であり、ALU0 は $\{*, +, -\}$ 、ALU2 は $\{-\}$ の各演算が可能な演算器である。この VT において演算の移動、

演算と演算の交換、演算の引数の交換、及び、ヒューリスティックな知識による変換を施し、コスト最小の状態を最適解とみなす。ここで、コスト関数は次式で与えられる。

$$C = p1 * (alu) + p2 * (exectime) + p3 * (register) + p4 * (bus)$$

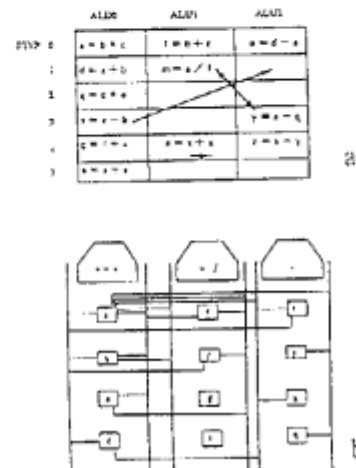


図1. VT と論理回路

尚、VT は図1bに示される回路に変換される。

3 アニーリング・ルールベース

アニーリング・ルールベースの特徴は、ランダム変換だけではなくヒューリスティックな知識に基づく変換を行うことにより、収束を早める、局所的最小値からの脱出を図るなどの効果が期待できる。

また、ルールの独立性が高いので、ルールの追加・修正が容易である。

3.1 構成

図2に、アニーリング・ルールベースの構成を示す。

Digital Design by Parallel Rule-based Annealing

Mineo TATENO Hitoshi ARAKI Ryuuichi MATO

Matsushita Electric Industrial Co., Ltd.

ルール選択部では、ユーザが設定した比率に基づいてランダム変換・面積ルール・時間ルールが選択される。

コスト計算部では、実行された変換に対して面積コスト（ALU、レジスタ、バス、リンクの4要素）と時間コストを求める。

温度管理部において、現在の温度を Temp、コスト変化分を ΔC とすれば、

・ $\Delta C < 0$ （コストが減少した場合）無条件に採用

・ $\Delta C \geq 0$ （コストが増加した場合） $e^{-\frac{\Delta C}{T}}$ の確率により採用

また、同一温度でのループ回数を設定し、設定値をこえたら温度を下げる。

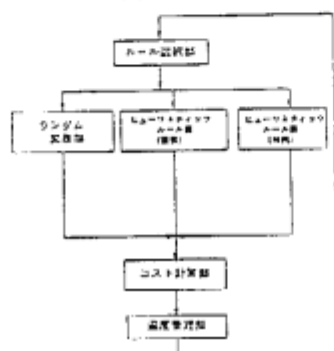


図2. アニールリング・ルールベースの構成

3.2 ヒューリスティック・ルール

面積を減らすルールと時間を減らすルールがあり、以下にルールの例を3つあげる。

・ VT の行方向の演算数の最も少ない行の演算を他の行へ移動させることにより、ステップ数を減らす（時間）。

・ VT の列方向の演算数の最も少ない列の演算を他の行へ移動させることにより、ALU を減らす（面積）。

・ VT の列方向の引き数の種類を揃え、リンク数を減らす（面積）。

4 アニールリング・ルールベースの評価

図3は動作アルゴリズム（演算数32）を入力とした場合の、ランダム変換のみを行ったシミュレーティッド・アニールリングとヒューリスティックな知識による変換を加えたアニールリング・ルールベースの比較である。

ループ回数が288の場合のアニールリング・ルールベースの収束コストは2140、シミュレーティッド・アニールリングの場合の収束コストは2505であり、約15%改善されている。

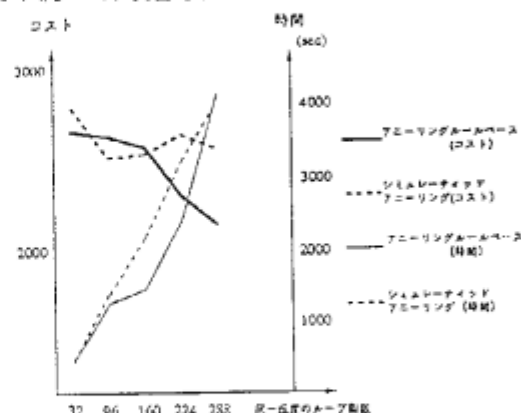


図3. 収束コストと収束時間の比較

5 おわりに

ランダム変換を基本とするシミュレーティッド・アニールリングにヒューリスティックな知識による変換を融合したアニールリング・ルールベースの特徴について述べた。

今後は、ルールの強化、動作仕様の拡張を行い、本アニールリング・ルールベースの有効性を検証したい。

本研究は、ICOTの再委託研究として行ったものである。

本研究の機会を与えて下さったICOT第5研究室の生駒室長、情報通信東京研究所知識ベース研究室の山崎室長に深く感謝致します。

参考文献

- [1]McFarland,M.C.Parker,A.C. and Canposano,R. "Tutorial on High Level Synthesis" D.A.Conf,pp330-336,1986.
- [2]Devadas,S. and Newton, A.R. "Algorithms for Hardware Allocation in Data Path Synthesis" IEEE trans. on CAD Vol 8 NO 7 pp768-781,1989.
- [3]荒木、館野、問屋 "論理設計エキスパートシステム(2) - 並列処理方式 -" 情報処理学会第41回全国大会 1990.