

TM-0853

並列推論マシンPIM

中島克人

February, 1990

©1990, ICOT

ICOT

Mita Kokusai Bldg. 21F
4-28 Mita 1-Chome
Minato-ku Tokyo 108 Japan

(03) 456-3191~5
Telex ICOT J32964

Institute for New Generation Computer Technology

並列推論マシン PIM

1 第五世代コンピュータ

通産省主導の元に、「第五世代コンピュータ」プロジェクトが進められています。

工業技術院電子技術総合研究所、NTT、国内コンピュータ関連メーカー8社などが協力して設立された新世代コンピュータ技術開発機構(ICOT)を中心に、1982年から10年間の計画でスタートし、現在8年目の終わりを迎えようとしています。

このプロジェクトの目標とする第五世代コンピュータとは、真空管(第一世代)、トランジスタ(第二世代)、IC(第三世代)、VLSI(第四世代)の次に来るものと言う意味で、そこには集積度だけではなく、全く新しい、高度な機能を持つものと言う気持ちが込められています。具体的には、人工知能などの高度な処理を効率良くプログラム化し、高速に実行できるようなコンピュータの基礎技術を確立することにあります。

「並列推論マシン」はこのプロジェクトの中心課題の一つであり、三菱電機はプロジェクトの当初からこの課題に積極的に取り組んできました。

2 並列推論マシン PIM

LSIの集積度は著しい向上を示しています。メモリは3年間に4倍と言われてきましたが、プロセッサでも最近はそのに迫る集積度の向上を示しています。プロセッサは微細化に伴うクロックスピードの上昇により常に速度は向上してきましたが、論理設計やCADの能力が追いつかないことなどにより、アーキテクチャの高機能化による速度向上は頭打ちになっています。従って、集積度に見合った、あるいはそれ以上の性能向上を目指すには、並列化は必須となってきました。

科学技術計算を中心とする数値処理を高速に実行することを目的として、数々のスーパーコンピュータが開発されてきましたが、最近のスーパーコンピュータでは既に何らかの並列処理を取り入れています。行列演算等で代表される数値処理では並列に実行できるものがあらかじめ分かっている場合が多く、1つのマシン命令のもと、複数のデータを複数の演算器を用いて並列に演算できます。

知識処理と呼ばれる高度な処理も高い並列度を有しています。例えば、あるものを見て、それを理解する過程での人間の脳の働きには、大量の画像データの処理の他に、過去の知識と照らし合わせて行なう物体の認識処理やそれら全体を総合しての状況の把握、そして、場合によっては次取るべき行動を決断しなくてはなりません。

このような処理はスーパーコンピュータが得意とする行列演算などと異なり、並列に処理されるそれぞれの仕事がバラバラに始まり、バラバラに終るため、並列コンピュータに無駄なく処理させるためには複数の命令で複数のデータをダイナミックに処理する機能や、それぞれの仕事の開始・終了を効率良く管理する機能などが必要となります。

これらの機能を実現するため、当社の AI ワークステーション PSI のように知識処理に向けた「推論マシン」のプロセッサを多数結合し、高速化しようと言うのが並列推論マシン (PIM: Parallel Inference Machine) です。結合の仕方は幾つも考えられます。バス結合や、クロスバ・スイッチ結合、ネットワーク結合などがありますが、PIM では 1000 台以上の大規模な並列マシンを目指しているため、拡張性のある (結合台数の制限があまり無い) 結合方式でなくてはなりません。ICOT では複数モデルの PIM を計画中ですが、三菱電機は 2 次元メッシュ結合の PIM を担当しています。

本格的な並列マシンの研究促進のためにはハードウェアとソフトウェアの両面の研究を同時に進めて行かなくてはなりません。並列マシンを制御する OS や並列応用プログラムの開発を推進するため、そして並列推論マシンの試作も兼ねて、ICOT と三菱電機は最大 64 台の PSI をメッシュ結合 (8 × 8) したマルチ PSI の開発を完了しました (図 1)。現在はマルチ PSI を大規模化、高性能化した PIM の開発を進めています。

3 並列推論マシン実験機マルチ PSI

マルチ PSI の各要素プロセッサは PSI-II (小型化改良版 PSI) の CPU 基板 3 枚、プロセッサ結合用ネットワーク制御基板 1 枚、1 M ビット DRAM を使用した 80 MB メモリのための基板 4 枚の合計 8 枚からなっています (表 1)。

ネットワーク制御回路は隣接する 4 つのプロセッサ、および、自プロセッサのために 5 組のチャンネルを持っており、各組は双方向に 1 バイト幅ずつのチャンネルになっています (図 2)。制御回路は隣接するプロセッサから到着するメッセージパケットの行先プロセッサを識別し、適切な方向へ転送、または自プロセッサ用のバッファへの取り込みを自動的行ないますので、離れたプロセッサ同士で通信を行なう場合にも、途中にあるプロセッサの処理を妨げることなく高速にメッセージが伝達されます。

プロセッサは 1 ワードが 40 ビット (8 ビットタグ + 32 ビットデータ) のタグアーキテクチャとなっており、推論処理、すなわち、Prolog などの論理型言語の実行に適した機構を備えています。

4 並列論理型言語 KL1 と並列ソフトウェアの研究

大規模な知識処理システムを実現するには、プログラムの生産性や保守性が非常に問題になります。Prolog と同様のシンタックスを持つ並列論理型言語 KL1 (Kernel Language version 1) は、並列でかつ複雑な問題をプログラムする場合に効率良く記述できることを狙った高レベル並列言語で、マルチ PSI および PIM の核言語 (ハードウェアとソフトウェアとのインタフェース言語) として ICOT で開発されました。

KL1 は図 3 に示すように言語自身に並列実行と待ち合わせ機能を持ち、また、メモリ領域の割り付けや再利用も言語機能として自動的行なうため、従来の手続き型言語に並列機構と同期機構を加えたような言語に比べ、問題を素直にプログラム化でき、また、同期のタイミングバグな

どに煩わされることが非常に少なくなっています。

KL1 を用いて開発中の並列ソフトウェアとしては並列推論マシン OS (PIMOS) があります。1 年程度で核部の試作を終え、現在、改良・機能拡張中です。また PIMOS の他にも、応用プログラムの実験として、詰め込みパズル、最適経路問題、詰め碁、英語構文解析などの問題に対してのプログラム開発とマルチ PSI 上での評価を行っており、これらの実験を通じて並列アルゴリズム、並列プログラミング技法、負荷分散などの研究を進めています。また、LSI-CAD における配置・配線、論理シミュレーションなどの実用的な問題にも挑戦を開始しています。

5 PIM の開発

三菱電機では現在、VLSI 技術を用いてマルチ PSI をさらに高速化、高集積化した PIM を開発中です。PIM では最大 256 プロセッサ (16×16) 構成となり、プロセッサ 1 台当たりの性能もマルチ PSI の 3~4 倍となります。プロセッサは主に PU(Processing Unit: 50 万 Tr)、CU(Cache Unit: 40 万 Tr) (共に図 4)、NU(Network Unit: 25 万 Tr) と呼ばれる 3 つのスタンダードセル方式の CMOS カスタム VLSI からなり、それらは 1 枚の基板に実装されます。また、80 M バイトのメモリも 4 M ビット DRAM を使用し、基板 1 枚に実装されます。

6 並列処理技術の構築を目指して

半導体技術の急速な進歩により、並列マシンのハードウェアとしての可能性は急速に広がっています。また、数値演算以外の分野での超高速処理に対する要求も高まりつつあります。しかし、本質的に並列度の高い大規模な問題を実際の並列マシン上で効率良く実行するための技術は、世界中でもまだ研究が始まったばかりの段階です。

効率の良い並列実行のためにはどのようなタイプの問題に対しても、以下のようなことが必要となってきます。

- (1) 並列度が高く、通信が一箇所に集中しないような分散したアルゴリズム
- (2) どのプロセッサも出来るだけ遊ばせないようにする、動的な負荷分散

これらは大規模並列マシン上では大変難しい問題です。例えば (2) の負荷分散についてみると、プロセッサの稼働率の向上が目的なのですが、やみくもな負荷の分散はかえって通信に手間取り、「一人でやれば良かった」などと後から後悔するような人間社会とそっくりなことが起こるわけです。

並列アルゴリズム、負荷分散などの問題の他にも並列プログラミング言語の設計・改良、デバッグ環境の充実、故障に対する耐久性の増大など、並列処理技術の確立のためには難しい課題が山ほどあり、VLSI 化並列アーキテクチャの研究と足並みを揃えて一步一步進めて行く必要があります。



図1. 並列推論マシン実験機マルチ PSI の外観 (8 筐体)

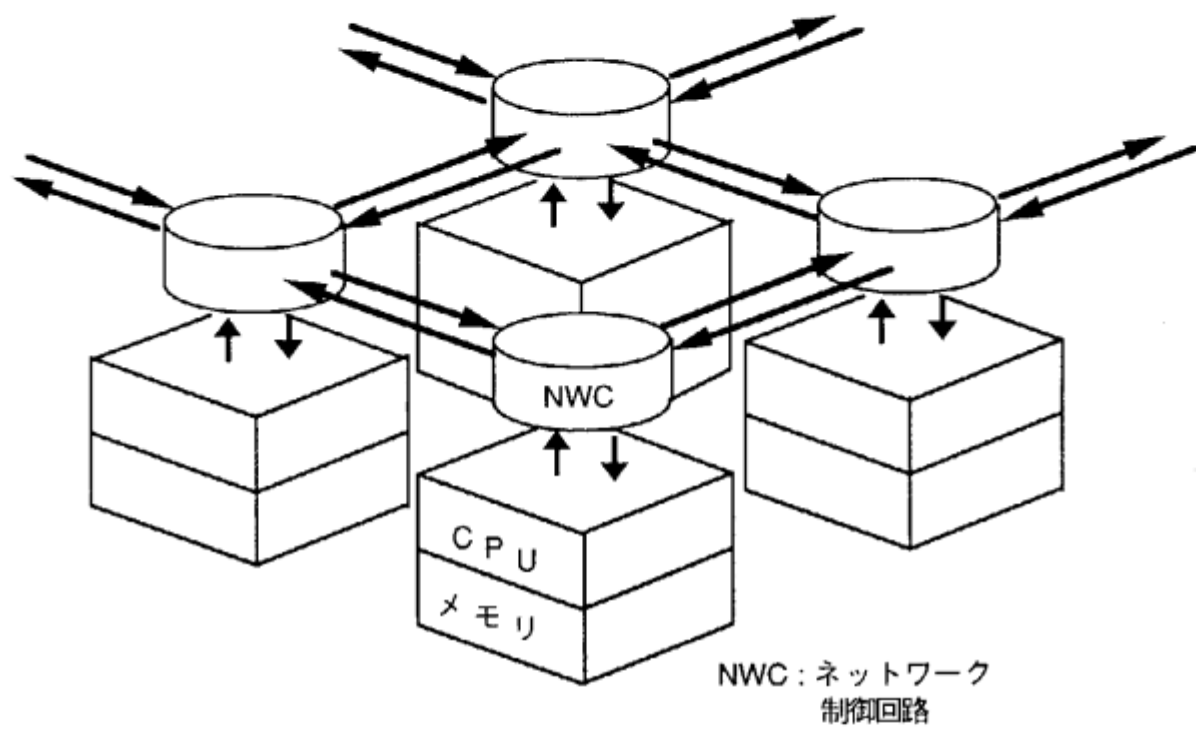


図 2. マルチPSIのプロセッサ接続方式

表1. マルチ PSI のハードウェア仕様

項目		仕様
システム構成	要素プロセッサ数	最大 64 台 (8 筐体)
	プロセッサ接続方式	2 次元メッシュ
	ネットワーク制御回路	双方向、バイトシリアル転送 チャンネル当たり 5 M バイト/秒 交差するメッセージの同時転送の ための複数経路開設可能
	フロントエンド・ プロセッサ*1	最大 4 台までの PSI-II を 接続可能
要素 プロ セ ッ サ	CPU	プリント基板 3 枚 8 K ゲート CMOS G.A. 8 種 9 石 5 MHz, 130 K 推論/秒 (8 bit タグ+32 bit データ) / 1 W
	接続制御部	プリント基板 1 枚 20 K ゲート CMOS G.A. 1 種 2 石
	メモリ	プリント基板 4 枚 80 M バイト

*1: 立上げ・監視、入出力用

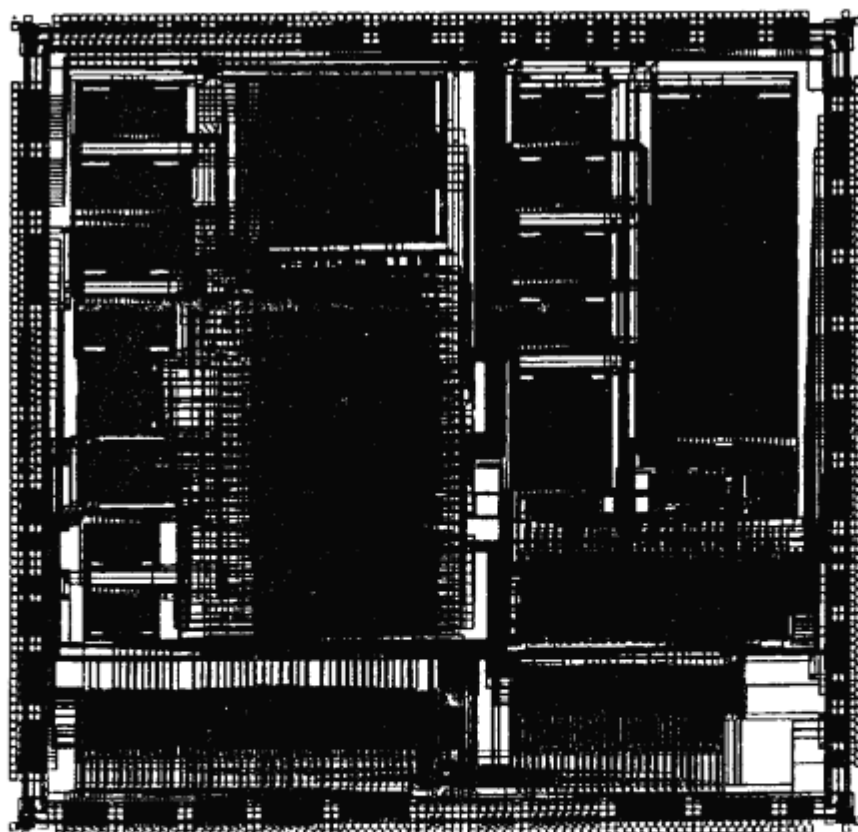
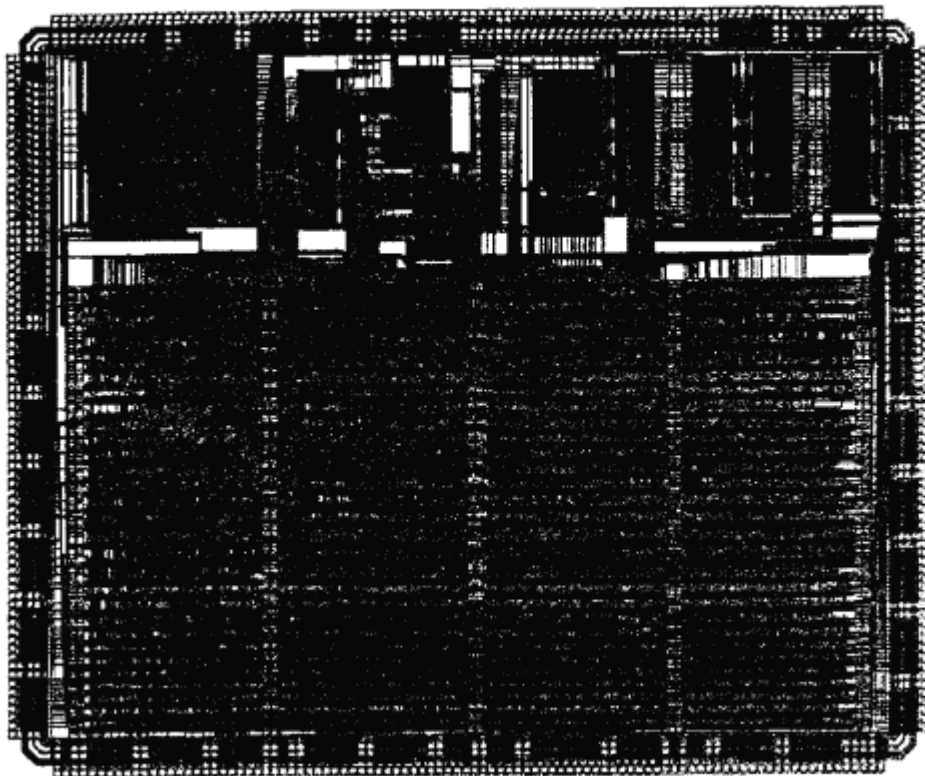


図4. PIM用プロセッサチップPU (50万Tr) とCU (40万Tr) のレイアウト図

[述語 goal の定義]

goal(X,Y) :- X > 0	goal1(X,Y), goal2(Y,Z).	... クローズ 1
goal(X,Y) :- X =< 0	goal3(X,Y), goal4(Y,Z).	... クローズ 2

ガード部	ボディ部	

並列論理型言語 KL1 によるプログラムは複数のクローズからなる述語定義の集まりからなる。| (bar) の左側の条件（ガード部）が最初に成立したクローズが選ばれ、他のクローズは捨てられる。値が決まっていない変数の条件を調べようとして、クローズが選択出来なかった場合はその述語呼び出しはサスペンドされる。選ばれたクローズのボディ部ゴール（goal1 と goal2、または goal3 と goal4）は並列に実行され、ゴール間の共有変数（上の例では Y）により通信や同期が行なわれる。

図 3. 並列論理型言語 KL1