

並列推論マシン PIM/k

～ハードウェアアーキテクチャ～

浅野 滋博

(株)東芝 総合研究所

1 はじめに

通産省第5世代コンピュータプロジェクトでは、(財)新世代コンピュータ技術開発機構を中心に、多数のプロセッサで並列推論を実現する5Gプロトタイプハードウェアを研究開発中である。このマシンは幾つかのサブモジュールを階層型ネットワークで接続したものである。

PIM/kは、この5Gプロトタイプハードウェアを構成するサブモジュールの一つであり、知識ベースの操作機能の効率化を目指している。本稿では、PIM/kの設計方針とアーキテクチャ上の特徴である二階層キャッシュの概要について報告する。

2 PIM/kの役割とアーキテクチャの設計方針

PIM/kは、並列論理型言語KL1を高速に実行する並列推論マシンの一種であり、特に知識ベースを効果的に操作することに重きを置いている。PIM/kでは、KL1で表現された知識に対する一般的な操作を高速化したいと考えている。

知識ベースを複数クラスタに分散格納する場合、クラスタ数に関して、プロセッサの処理能力と処理オーバヘッドのトレードオフが存在する。すなわち、少数のクラスタに知識ベースを格納する場合、知識ベース操作に関わるプロセッサの数が限られているため、プロセッサの処理能力は小さい。しかし、クラスタ間にまたがるポイントが少なくなるため、処理オーバヘッドは少なくて済む。逆の場合は、プロセッサの処理能力は大きいものの、処理オーバヘッドが増大する。

ところで、クラスタ間にまたがる構造体の操作は、アトミックなデータと比べて著しく処理付加が重いことが知られているが、PIM/kの想定する知識には多くの構造体を含むものと考えられる。

このような考えに基づき、PIM/kでは比較的少数のクラスタに知識ベースを分散格納することにした。そして、プロセッサの処理能力を高めるため、クラスタ当りのプロセッサ数を増やすことにした。しかし、プロセッサ数を増加させると、バスの競合により性能が上がらない場合がある。そこで、バスの競合を避ける目的で、

独自のプロトコルを有する二階層のコヒーレントキャッシュを考案した。次にその概要について述べる。

3 二階層コヒーレントキャッシュの概要

3.1 コヒーレントキャッシュに関する考察

バス結合の共有メモリ型マルチプロセッサを採用する場合、バスの競合による性能の低下が問題になる。バス競合を緩和する方法としてスヌープキャッシュの方法が広く知られている。[2] スヌープキャッシュはプロセッサ毎にローカルなキャッシュを設け、ハードウェアによりキャッシュ間のコンシステンシを保つ方法である。キャッシュ間のコンシステンシが保たれていれば、プログラマからはキャッシュを意識しなくても共有メモリのモデルが与えられる。ところで、スヌープキャッシュを持ったシステムにおいて、バスにトランザクションが発生する原因には次の二つがある。

1) キャッシュミスに伴うもの

2) プロセッサ間の通信に伴うもの

このうち、1)の対策としてはキャッシュのサイズを十分に大きくすることで対策となるが、2)の問題はキャッシュのサイズを大きくしても対策とならない。

KL1の処理系においては、プロセッサ間通信のほとんどは1対1の通信であるから、この通信にプロセッサ間の局在性があれば、バスを分割することによりバス競合を緩和できると考えられる。

3.2 二階層コヒーレントキャッシュの構成

以上の理由から、PIM/kでは[3]に見られる二階層のキャッシュを採用し、新たなプロトコルを設計することとした。

図1にPIM/kのクラスタの構成を示す。図1のPEはIP1704 [1]である。PEごとに一段目のFirst-cacheが接続され、それらがCache-Busを共有して二段目のSecond-cacheを共有している。4台のPEとFirst-cache, Cache-Bus, Second-cacheをまとめてミニクラスタと呼ぶ。Second-cacheに十分なサイズを用意することで1)の対策に、バスを分割することで2)への対策となる。

Parallel Inference Machine PIM/k

～ Hardware Architecture ～

Shigehiro Asano TOSHIBA R&D Center

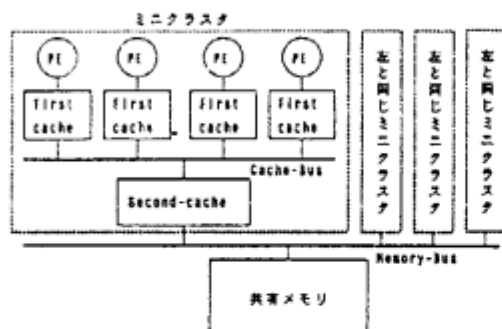


図1 PIM/kのクラスタの構成

3.3 二階層コヒーレントキャッシュのプロトコル

キャッシュのコンシステンシプロトコルには、書き込むアドレスのコピーを無効化してから書き込む「Invalidate方式」を採用する。従来はプロトコルの複雑さからFirst-cacheにライトスルー方式が採用されていたが、PIM/kではFirst-cache、Second-cacheともにコピーバック方式を採用してバスへのトランザクションをおさえるようにしている。

Second-cacheはミニクラスタ間で不必要なバストランザクションを起こさないようにフィルタの働きをする。つまり、ミニクラスタ内だけに伝達が必要なトランザクションについてはMemory-busに出力せず、また一方、そのミニクラスタに伝達が必要の無いトランザクションについてはMemory-busからCache-busに伝達しない。

このフィルタの働きをさせるためにはFirst-cache、Second-cache間にMulti-Level-Inclusionの性質が成り立たなければならない。この性質は「First-cacheに存在するエントリは必ずSecond-cacheに存在する」というものである。この性質を保つためにPIM/kではReplacеアルゴリズムにより対処しているのが特徴である。

以上のような方針にもとづいて、PIM/kではBerkleyのプロトコル[4]を拡張した二階層キャッシュのコンシステンシプロトコルを設計した。

3.4 メッセージ伝達機能

Invalidate方式のキャッシュプロトコルを採用した場合、プロセッサ間の通信を行う場合には、受信側のプロセッサに必ずキャッシュミスに伴う、KL1処理系ではスリットチェックと呼ばれるプロセッサ間の割り込みが必要になるが、これを共有メモリを利用した通信で実現すると効率が悪い。そこで、PIM/kではこのスリットチェックのメッセージをバスを利用して伝達している。

PIM/kのスリットチェックのメッセージ伝達の機

能は宛先のプロセッサの指定が可能で、やはりSecond-cacheがフィルタの働きをして不要なトランザクションをバスに出さないように最適化を行う。

3.5 基本ソフトウェアに与える影響

スヌープキャッシュを採用した場合には、プログラムからキャッシュがあることを全く意識せずにプログラミングが可能である。しかし、キャッシュの特性を考慮したプログラミングを行うことで、バス競合の緩和、すなわち性能の向上を期待できる。

二階層キャッシュの特性を考慮すると、一階層のキャッシュを持つシステムと比べて次のような特性を持つと性能の向上が期待できる。

〔プロセッサ間の通信をなるべくミニクラスタ内で納める〕

PIM/kではこの特性を満たすような処理系の最適化を行なう予定である。

4 まとめ

PIM/kは知識ベースを効率良く扱うため、一つのクラスタに多数のプロセッサを結合している。

プロセッサ台数の増加によるバス競合を緩和するための二階層キャッシュを特徴とする。

現在、PIM/kは実現のために設計を進めると共に二階層キャッシュの特性を調べるためにシミュレータにより評価を進めている。

謝辞

ご指導頂いているICOT第4研究室の方々に感謝します。

参考文献

- [1] 皆川 他「AIチップ（IP1704）のアーキテクチャ」情報処理学会第38回全国大会論文集pp.1538-1539, 1989年3月
- [2] James Archibald et al., 'Cache Coherence Protocol: Evaluation Using a Multiprocessor Simulation Model' ACM Trans. on Compl. Vol. 4, No. 4, November 1986
- [3] Andrew W. Wilson Jr., 'Hierarchical Cache/Bus Architecture for Shared Memory Multiprocessors' 14th Annual International Symposium on Computer Architecture, June 1987
- [4] R. H. Katz, et al., 'Implementing a Cache Consistency Protocol' 12th Annual International Symposium on Computer Architecture, June 1985