

TM-0684

スイッチング・ユニット・チップ
(MB603506)仕様書

田中英彦, 高橋栄 (東京大学), 久門耕一,
服部 彰(富士通)

February, 1989

©1989, ICOT

ICOT

Mita Kokusai Bldg. 21F
4-28 Mita 1-Chome
Minato-ku Tokyo 108 Japan

(03) 456-3191~5
Telex ICOT J32964

Institute for New Generation Computer Technology

スイッチングユニットチップ (MB603506)
仕様書

田中 英彦 高橋 栄一 久門 耕一 服部 彰

目次

1	概要	1
1.1	スイッチングユニットチップ開発の背景	1
1.2	スイッチングユニットチップの特徴	1
1.3	本稿の構成	2
2	スイッチングユニットチップの内部構成	3
2.1	スイッチングユニットチップの内部構成	3
2.2	スイッチングユニットチップの信号線の機能	4
2.2.1	スイッチングユニットチップの信号線	4
2.2.2	スイッチングユニットチップの制御線	5
2.2.3	スイッチングユニットチップのスキャン用信号線	6
2.3	スイッチングユニットチップの回路階層とモジュール構成	7
2.3.1	回路構成の階層と実際のモジュールの関係	7
2.4	最上位モジュール	8
2.4.1	UPL モジュール	8
2.4.2	LOWL モジュール	10
2.4.3	UPR モジュール	12
2.4.4	LOWR モジュール	14
3	スイッチングユニットチップの各モジュールの構成	16
3.1	ユティリティモジュール	16
3.1.1	XLCNT2 モジュール	16
3.1.2	XLCOMP モジュール	16
3.1.3	XLBUF モジュール	16
3.1.4	XLCUT モジュール	16
3.1.5	XLSEL モジュール	19
3.1.6	XLXSEL モジュール	19
3.1.7	XLSW4 モジュール	19
3.1.8	XLSW8 モジュール	19
3.2	クロスバースイッチ	22
3.2.1	FBCSN2 モジュール	22
3.2.2	UDCSW モジュール	24
3.2.3	XLSWL モジュール	26
3.3	ルーティング部	27
3.3.1	FBRP モジュール	27
3.3.2	UDRP モジュール	29
3.3.3	XLRP1 モジュール	31
3.3.4	XLRP2 モジュール	31
3.4	アービトレーション部	34
3.4.1	FBAP モジュール	34
3.4.2	UDAP1 モジュール	37
3.4.3	XLAP3 モジュール	39
3.4.4	XLAP4 モジュール	39
3.4.5	UDAP2 モジュール	41
3.4.6	XLAP1 モジュール	43

3.4.7	XLAP2 モジュール	43
3.4.8	UDAP3 モジュール	45
3.4.9	XLAP5 モジュール	47
3.4.10	UDAP4 モジュール	48
3.4.11	UDAP5 モジュール	50
3.4.12	XLMSC モジュール	52
3.5	負荷モニタ	53
3.5.1	FBLM モジュール	53
3.5.2	UDLM1 モジュール	55
3.5.3	UDLM2 モジュール	57
3.5.4	UDLM3 モジュール	59
3.5.5	XLIM1 モジュール	61
3.6	コミュニケーション制御部	62
3.6.1	FBCCP モジュール	62
3.6.2	UDCCP1 モジュール	64
3.6.3	UDCCP2 モジュール	66
3.6.4	UDCSN モジュール	68
3.6.5	XLCSN2 モジュール	70

図目次

1	SU チップの内部構成	3
2	UPL モジュールの端子名	8
3	UPL モジュールの回路図	9
4	LOWL モジュールの端子名	10
5	LOWL モジュールの回路図	11
6	UPR モジュールの端子名	12
7	UPR モジュールの回路図	13
8	LOWR モジュールの端子名	14
9	LOWR モジュールの回路図	15
10	XLCNT2 モジュールの端子名	17
11	XLCOMP モジュールの端子名	17
12	XLBUF モジュールの端子名	18
13	XLCUT モジュールの端子名	18
14	XLSEL モジュールの端子名	20
15	XLXSEL モジュールの端子名	20
16	XLSW4 モジュールの端子名	21
17	XLSW8 モジュールの端子名	21
18	FBCSN2 モジュールの端子名	22
19	FBCSN2 モジュールの回路図	23
20	UDCSW モジュールの端子名	24
21	UDCSW モジュールの回路図	25
22	XLSWL モジュールの端子名	26
23	FBRP モジュールの端子名	27
24	FBRP モジュールの回路図	28
25	UDRP モジュールの端子名	29
26	UDRP モジュールの回路図	30
27	XLRP1 モジュールの端子名	33
28	XLRP2 モジュールの端子名	33
29	FBAP モジュールの端子名	35
30	FBAP モジュールの回路図	36
31	UDAP1 モジュールの端子名	37
32	UDAP1 モジュールの回路図	38
33	XLAP3 モジュールの端子名	40
34	XLAP4 モジュールの端子名	40
35	UDAP2 モジュールの端子名	41
36	UDAP2 モジュールの回路図	42
37	XLAP1 モジュールの端子名	43
38	XLAP2 モジュールの端子名	44
39	UDAP3 モジュールの端子名	45
40	UDAP3 モジュールの回路図	46
41	XLAP5 モジュールの端子名	47
42	UDAP4 モジュールの端子名	48
43	UDAP4 モジュールの回路図	49
44	UDAP5 モジュールの端子名	50
45	UDAP5 モジュールの回路図	51

46	XLMSC モジュールの端子名	52
47	FBLM モジュールの端子名	53
48	FBLM モジュールの回路図	54
49	UDLM1 モジュールの端子名	55
50	UDLM1 モジュールの回路図	56
51	UDLM2 モジュールの端子名	57
52	UDLM2 モジュールの回路図	58
53	UDLM3 モジュールの端子名	59
54	UDLM3 モジュールの回路図	60
55	XLLM1 モジュールの端子名	61
56	FBCCP モジュールの端子名	62
57	FBCCP モジュールの回路図	63
58	UDCCP1 モジュールの端子名	64
59	UDCCP1 モジュールの回路図	65
60	UDCCP2 モジュールの端子名	66
61	UDCCP2 モジュールの回路図	67
62	UDCSN モジュールの端子名	68
63	UDCSN モジュールの回路図	69
64	XLCSN2 モジュールの端子名	70

1 概要

1.1 スイッチングユニットチップ開発の背景

大規模な並列計算機システムを構成するに当たって、最も基本的な構成要素は、プロセッサ間、または、プロセッサ—メモリモジュール間を結合し、メッセージのやりとりや共有データのアクセスに用いられる相互結合ネットワークである。並列計算機の性能を十分に発揮するためには、データ転送能力の十分に高いネットワークが必要である。しかし、大規模なネットワークを構成する場合、コストや実装などの点で考慮しなければならない点も多い。100 台規模以上のプロセッサを結合するネットワークを構成する場合、性能、コスト、実現の容易性、いづれをも十分に満足させるネットワークとして、オメガ網などに代表される多段結合網がある。多段結合網は、小規模のクロスバースイッチを多段接続して、大規模の結合網を構成するものであり、同じ規模のクロスバースイッチに比べ、衝突が増す分、スループットは若干低下するものの、プロセッサ数を N とした時のハードウェア量が、クロスバースイッチの N^2 に対し、 $N \log N$ 程度で済むという利点がある。

今回、このような多段結合網を用いた大規模マルチプロセッサシステムの研究を進めていくにあたって、相互結合網を構成する際に基本部品として使用することを目的に、自動負荷分散機構のついたスイッチングユニットの LSI チップ化を行なった。

1.2 スイッチングユニットチップの特徴

今回、開発したスイッチングユニットチップ (MB603506) は、4 入力 4 出力データ幅 8 ビットのクロスバースイッチであり、最初にまず、通常の、相手アドレスを指定した通信路接続の機能を用いるか、または、最小負荷情報を出力しているプロセッサに対して自動的に通信経路を接続する機能を用いることによって、データ通信路を接続し、その後、接続の解除を要求するまでの間、任意長のデータの転送を行なうことが出来る。

自動負荷分散機能を有することが、本スイッチングユニットチップの最大の特徴である。これは、通信に用いられていない通信路上に負荷転送方向と逆向きに負荷情報を流し、これをもとに、最小負荷のプロセッサに向かうポートへの接続が自動的に行なわれるというものである。この機能を用いてプロセッサ間での負荷分散通信を行なうことにより、個々のプロセッサの持つ処理負荷を均等化することができ、処理負荷の不均衡によって生じるマルチプロセッサシステム全体としての性能の低下を防ぐことができる。また、動的なデータ配置において、アクセス衝突を低減させるような配置を実現するのに用いることができる。

また、本スイッチングユニットは、マルチキャスト通信をサポートする。経路接続要求を繰り返すことにより、1つの入力ポートから、複数の出力ポートへの経路接続を行なうことができる。

本スイッチングユニットチップは、以下のような拡張性をもつ。

まず、本スイッチングユニットチップをパラレルに複数個用いることにより、データ幅を拡張することができる。例えば、本スイッチングユニットチップを 4 つ用いることにより、32 ビット幅のデータ転送を行なうことができる。このために、本スイッチングユニットチップは、経路接続機能の動作するマスターモードと、マスターモードで動作するチップから出力される接続情報を用いて、クロスバースイッチのスイッチングだけを行なうスレーブモードの、2つのモードで動作するようになっている。

また、本スイッチングユニットチップを、シリーズに多段接続することによって、多数台のプロセッサ同士を接続することができる。例えば、本スイッチングユニットを、1 段だけ用いると 4 台のプロセッサ同士の接続ができ、2 段にすると 16 台同士、3 段にすると 64 台同士、4 段にすると 256 台のプロセッサ同士の接続を行なうことができる。このため、8 ビットのデータ線上のうち、どの 2 ビットをアドレスとして用いるかをチップごとに指定することができるようになっている。

今回試作したスイッチングユニットは、ゲートアレイを用いて開発を行なった。使用したゲートアレイは、富士通社 UHB シリーズであり、ゲート数は 8700 ゲートである。パッケージは、179 ピンのピングリッドアレイを用いている。

1.3 本稿の構成

以下で、本スイッチングユニットチップの内部仕様を

- スwitchングユニットチップの内部構成
- スwitchングユニットチップの回路図の階層と各モジュールの外部仕様
- スwitchングユニットチップの回路図

の順で述べる。

2 スイッチングユニットチップの内部構成

2.1 スイッチングユニットチップの内部構成

図1に示すように、本スイッチングユニットチップは論理的には5つのブロックから構成されている。なお、スイッチングユニットチップは双方向のデータ転送が可能であるが、接続の制御は片側からのみ可能となっており、これを受け付ける側を入力ポート、他方を出力ポートと呼んでいる。

1. クロスバースイッチ

4入力4出力のクロスバースイッチで、制御線 DIR により双方向半二重通信が可能である。未接続の出力ポートからは、そこから接続可能なすべての行き先プロセッサの中で最小の負荷情報が入力されており、それらの中で最小の負荷情報を未接続の入力ポートから更に前段のスイッチングユニットへ転送する。

2. ルーティング部

行き先指定時は、そのアドレスをデコードして接続されるべき出力ポートに対する接続要求信号を、負荷分散時は、負荷量最小の出力ポートに対する接続要求信号を作成してアービトレーション部へ伝える。

3. アービトレーション部

同時発生した接続要求に対し、回転式の公平なアービトレーションを行なう。接続要求は、各段が同期動作を行なう場合は1クロックで、非同期に動作する場合でも2クロックでアービトレーションされる。

4. 負荷モニタ

未接続の出力ポートから入力される行き先プロセッサの負荷情報を比較して、負荷量最小の行き先プロセッサに接続できる出力ポートを決定する。

5. コミュニケーション制御部

次段に対する制御信号を作成する。

その他に、各ブロック間にはクロック系とチップ内テスト用のスキャンバスが張られている。

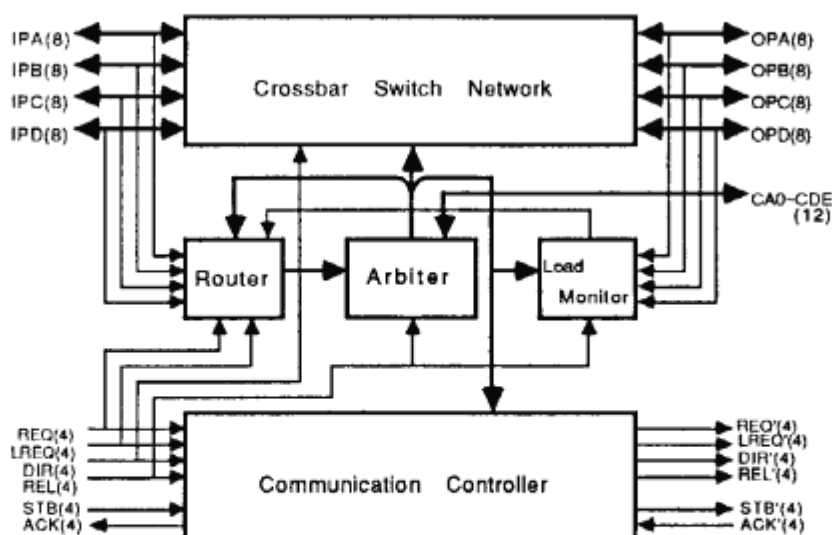


図1: SUチップの内部構成

2.2 スイッチングユニットチップの信号線の機能

本節では、スイッチングユニットチップの各信号線の機能について説明する。

2.2.1 スイッチングユニットチップの信号線

本スイッチングユニットチップの各ポートは、以下のような信号線で構成されている。

- Data・・・入力ポートデータ線(8ビット)[双方向]
- Data'・・・出力ポートデータ線(8ビット)[双方向]
各ポート毎に8ビットの入力データ線、出力データ線があり、入力ポートは、接続要求信号 REQ、LREQ により接続された出力ポートとの間で、8ビットのデータの転送が出来る。データの転送の方向は、DIR により指定される。DIR が H の時出力ポートから入力ポートへ、L の時入力ポートから出力ポートへ、データが転送される。
- REQ・・・入力ポート接続要求信号[入力]
- REQ'・・・出力ポート接続要求信号[出力]
入力ポートをある出力ポートへ接続することを指定する。REQ を L にすると、LREQ が H の場合は、入力ポートデータ線上に与えられたアドレスで指定された出力ポートへ、LREQ が L の場合は、空き出力ポートデータ線上に与えられている8ビットの負荷情報が最小の出力ポートへの接続が行なわれる。
同じ出力ポートへの接続要求が、複数の入力ポートから同時に起こった場合は、アービターにより、いずれか一つの接続要求のみが受理され、他の接続要求は待たされる。
接続された出力ポートの REQ' には、接続元の入力ポートの REQ がそのまま出力され、次段のスイッチングユニットに伝えられる。
チップがスレープモードの時、これらの信号は、順方向通信制御信号 STB と同様の働きをする。
- LREQ・・・入力ポート負荷分散接続指定信号[入力]
- LREQ'・・・出力ポート負荷分散接続指定信号[出力]
接続要求が、相手指定モードか、負荷分散モードかを指定する。
LREQ が L の時、接続要求は負荷分散モードである。
LREQ が H の時、接続要求は相手指定モードである。
接続された出力ポートの LREQ' には、接続元の入力ポートの LREQ がそのまま出力され、次段のスイッチングユニットに伝えられる。
チップがスレープモードの時、これらの信号は、順方向通信制御信号 STB と同様の働きをする。
- DIR・・・入力ポートデータ転送方向指定信号[入力]
- DIR'・・・出力ポートデータ転送方向指定信号[出力]
双方向データ線のデータ転送方向を決めるのに用いる。DIR が H の時出力ポートから入力ポートへ、L の時入力ポートから出力ポートへ、データが転送される。マルチキャスト時に、DIR を H にすると、入力ポートデータ線には、接続されている出力ポートデータ線の正論理論理和が現れる。
接続された出力ポートの DIR' には、接続元の入力ポートの DIR がそのまま出力され、次段のスイッチングユニットに伝えられる。
- REL・・・入力ポート接続解除要求信号[入力]
- REL'・・・出力ポート接続解除要求信号[出力]
現在の入力ポートと出力ポートの間の接続の解除を要求する。REL を L にすると、その入力ポートから接続されているすべての(マルチキャスト時)出力ポートへの接続が解除される。

接続を解除された出力ポートの REL' には、REL が 1 クロックの間だけ出力され、次段のスイッチングユニットに伝えられる。
チップがスレーブモードの時、これらの信号は、順方向通信制御信号 STB と同様の働きをする。

- STB・・・入力ポート順方向通信制御信号 [入力]
- STB'・・・出力ポート順方向通信制御信号 [出力]
入力ポート側から、接続されている出力ポート側へ、1 ビットの信号を伝える。この信号は、通信要求元から通信要求先へ向けて、通信制御用の信号を伝えるのに用いることができる。
接続された出力ポートの STB' には、接続元の入力ポートの STB がそのまま出力され、次段のスイッチングユニットに伝えられる。
データ線と異なり、この信号線の通信方向は、DIR によって変わることはない。
- ACK・・・入力ポート逆方向通信制御信号 [出力]
- ACK'・・・出力ポート逆方向通信制御信号 [入力]
接続されている出力ポート側から、入力ポート側へ、1 ビットの信号を伝える。もし入力ポートが、複数の出力ポートに接続されている場合 (マルチキャスト時) は、すべての接続されている出力ポートの ACK' 信号の負論理論理和が入力ポートの ACK に伝えられる。この信号は、通信要求先から通信要求元へ向けて、通信制御用の信号を伝えるのに用いることができる。データ線と異なり、この信号線の通信方向は、DIR によって変わることはない。

2.2.2 スイッチングユニットチップの制御線

また、本スイッチングユニットは、以上の他に次のような制御ピンを持つ。

- RESET・・・リセット
スイッチングユニットチップをリセットするのに用いる。RESET を L にすることにより、スイッチングユニットチップがリセットされる。スイッチングユニットチップがリセットされると、すべての出力ポートは、未接続状態になる。
- CLOCK・・・アービタ用クロック
本クロック入力によって動く同期式順序回路によって接続要求のアービトレーションが行なわれる。
アービトレーションは、クロックの立ち上がりで行なわれる。
- STAGE(2 ビット)・・・チップが何段目かの指定
2 ビットの STAGE 信号により、そのスイッチングユニットチップが多段結合網の何段目なのかを指定する。STAGE0、STAGE1 が、LL の時 1 段目、HL の時 2 段目、LH の時 3 段目、HH の時 4 段目をそれぞれあらわす。STAGE 信号により、相手指定モードの接続で入力ポートデータ線に与える 8 ビットのアドレスのうち、どの 2 ビットを用いてルーティングを行なうかを決める。
- CHMODE・・・マスタ / スレーブモードの指定
スイッチングユニットチップをマスターモードで動作させるか、スレーブモードで動作させるかを決定する。CHMODE が H の時、スイッチングユニットチップは、マスターモードで動作する。CHMODE が L の時、スイッチングユニットチップは、スレーブモードで動作する。
- ARMODE・・・アービトレーションモードの指定
アービトレーションを 1 クロック / 2 クロックいずれで行なうかを指定する。ARMODE が L の時、アービトレーションは、1 クロックで行なわれる。ARMODE が H の時、アービトレーションは、2 クロックで行なわれる。
- CA0,CA1,CAE,CB0,CB1,CBE,CC0,CC1,CCE,CD0,CD1,CDE・・・接続情報

[チップがマスタモードの時出力、スレーブモードの時入力]

どの出力ポートが、どの入力ポートに接続されているかをマスタモードのチップからスレーブモードのチップに対して伝えるための信号線である。

CAEがHの時、出力ポートAはどの入力ポートからも接続されていない。CAEがLの時、出力ポートAは、CA0、CA1の2ビットの信号で指定される入力ポートに接続されている。

CBEがHの時、出力ポートBはどの入力ポートからも接続されていない。CBEがLの時、出力ポートBは、CB0、CB1の2ビットの信号で指定される入力ポートに接続されている。

CCEがHの時、出力ポートCはどの入力ポートからも接続されていない。CCEがLの時、出力ポートCは、CC0、CC1の2ビットの信号で指定される入力ポートに接続されている。

CDEがHの時、出力ポートDはどの入力ポートからも接続されていない。CDEがLの時、出力ポートDは、CD0、CD1の2ビットの信号で指定される入力ポートに接続されている。

2.2.3 スイッチングユニットチップのスキャン用信号線

その他に、スキャン用の信号線として、以下のものがある。

- IH・・・クロックインヒビット
スキャン動作時にクロックをインヒビットするのに用いる。通常は、Lにしておく。
- XSM・・・バッファイネーブル
Lにすると、全ての双方向バッファをハイインピダンスにする。通常は、Hにしておく。
- XTST・・・アービタカウンタのクロック選択
Lにすると、システムクロックをアービタのカウンタのクロックとする。通常は、Hにしておく。
- SA・・・スキャン用のクロック
通常は、Lにしておく。
- SB・・・スキャン用のクロック
通常は、Lにしておく。
- SI0-9・・・スキャンデータの入力信号
通常は、Lにしておく。
- SO0-9・・・スキャンデータの出力信号

2.3 スイッチングユニットチップの回路階層とモジュール構成

ここでは、本スイッチングユニットチップの回路構成の階層とチップレベルを構成する各モジュールの関係を説明する。

2.3.1 回路構成の階層と実際のモジュールの関係

まず、スイッチングユニットチップの回路構成の階層と実際のモジュール階層の関係について述べる。本来ならば、実際のモジュール階層は回路構成の階層に即すべきものであるが、ゲートアレイのマスク作成上の制約により、最上位のモジュールに対しては制限が設けられている。(ここで、最上位モジュールと記述しているモジュールは、チップレベルSUを頂点とした場合にはサブモジュールに当たるが、それをここでは最上位モジュールと呼ぶことにする。)本スイッチングユニットチップは、この条件を満たすべく回路階層の変更を行なった。

実際に、最上位のモジュールに課せられた制限とは、

- 最上位のモジュール数は4つ
- 4つのモジュールのゲート数はほぼ等しいこと
- 4つのモジュール間の配線に対する制限
- 4つのモジュールから外部端子ピンへの配線の制限

が主なものである。

これらの制限を鑑み、実際に各機能ブロックは、

- 負荷モニタとコミュニケーション制御部は分割しない。
- クロスバースイッチは2ビットずつ4つにスライスして最上部モジュールに収める。
- アービトレーション部は関係するデータポート毎に4分割して最上部モジュールに収める。
- ルーティング部は関係するデータポート毎に2分割して最上部モジュールに収める。

と分割した。

最上位の4モジュールとの関係を示す。

モジュール名	配置	収納する機能ブロック
UPL	左上部	クロスバースイッチ 01、アービトレーション部 A、負荷モニタ
LOWL	左下部	クロスバースイッチ 23、アービトレーション部 B、ルーティング部 AB
UPR	右上部	クロスバースイッチ 45、アービトレーション部 C、コミュニケーション制御部
LOWR	右下部	クロスバースイッチ 67、アービトレーション部 D、ルーティング部 CD

ここで、“クロスバースイッチ 01”とはクロスバースイッチのうちの第0ビットと第1ビット部分を表し、“アービトレーション部 A”、“ルーティング部 AB”はそれぞれデータポート (A、B、C、D) のうちの A ポート、および、A ポートと B ポート用であることを表す。

これら4モジュールからの出力は、モジュール間のデータ交換のための端子を除いて、入力、あるいは出力、双方向性のバッファを介して外部ピンに接続されている。

2.4 最上位モジュール

ここでは、最上位の4モジュールの仕様と構成について説明する。下位のモジュールの詳細な仕様については、次節以降で説明する。

2.4.1 UPL モジュール

UPLモジュールの端子名を図2に、回路図を図3に示す。図のようにUPLモジュールには、クロスバースイッチの第0ビット、第1ビット分(ULCS01)、及び、出力ポートA用のアービトレーション部(ULAPA、アービトレーション部全体の $\frac{1}{4}$ である)、負荷モニタ全体(ULLM)が収納されている。その他、UPL内にクロックを供給するためのクロックバッファ(UCLKBB)、アービトレーション部に付随し外部出力用の接続情報信号を生成するエンコーダ(ULMSC)が収められている。また、インバータはファンアウトを軽減するためのバッファ、あるいは、論理を合わせるための論理反転に用いられている。

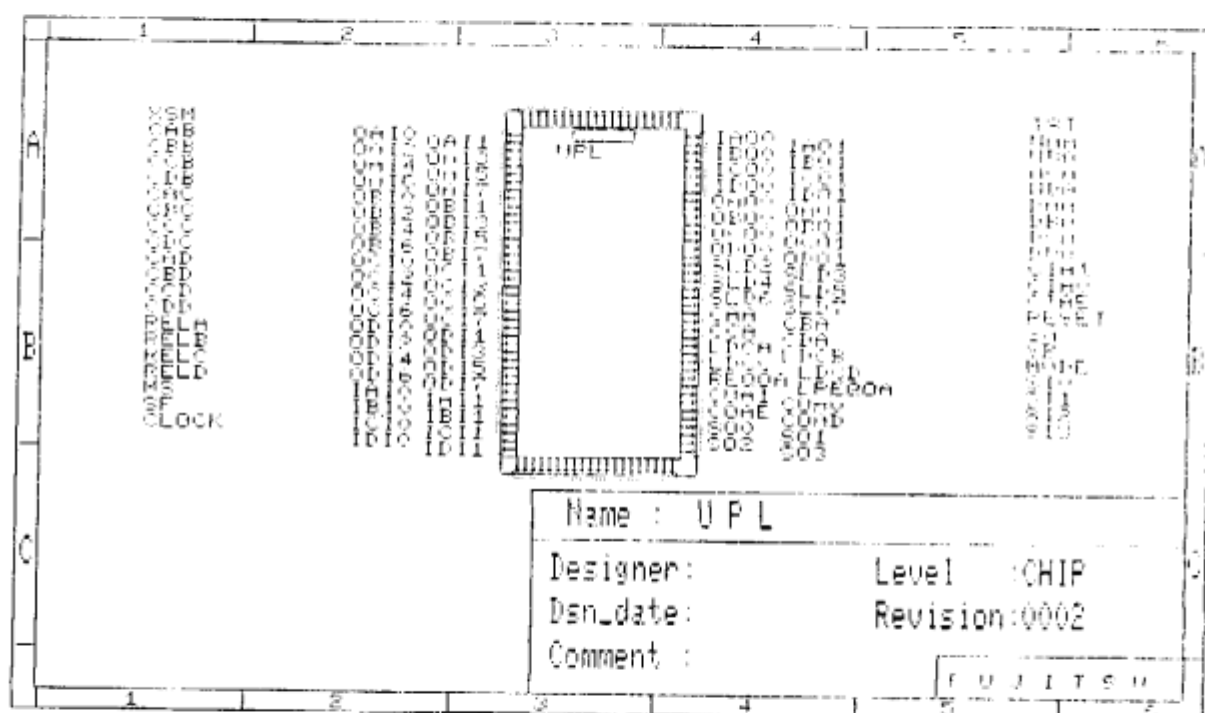


図 2: UPL モジュールの端子名

2.4.2 LOWL モジュール

LOWL モジュールの端子名を図 4に、回路図を図 5に示す。図のように LOWL モジュールには、クロスパーススイッチの第2ビット、第3ビット分(LLCS23)、及び、出力ポート B 用のアービトレーション部(LLAPB)、入力ポート A、及び B 用のルーティング部(LLRPA、LLRPB) が収納されている。LLKBB、LLMSC は UPL モジュールと同様、それぞれクロックバッファ、エンコーダである。インバータも同様である。

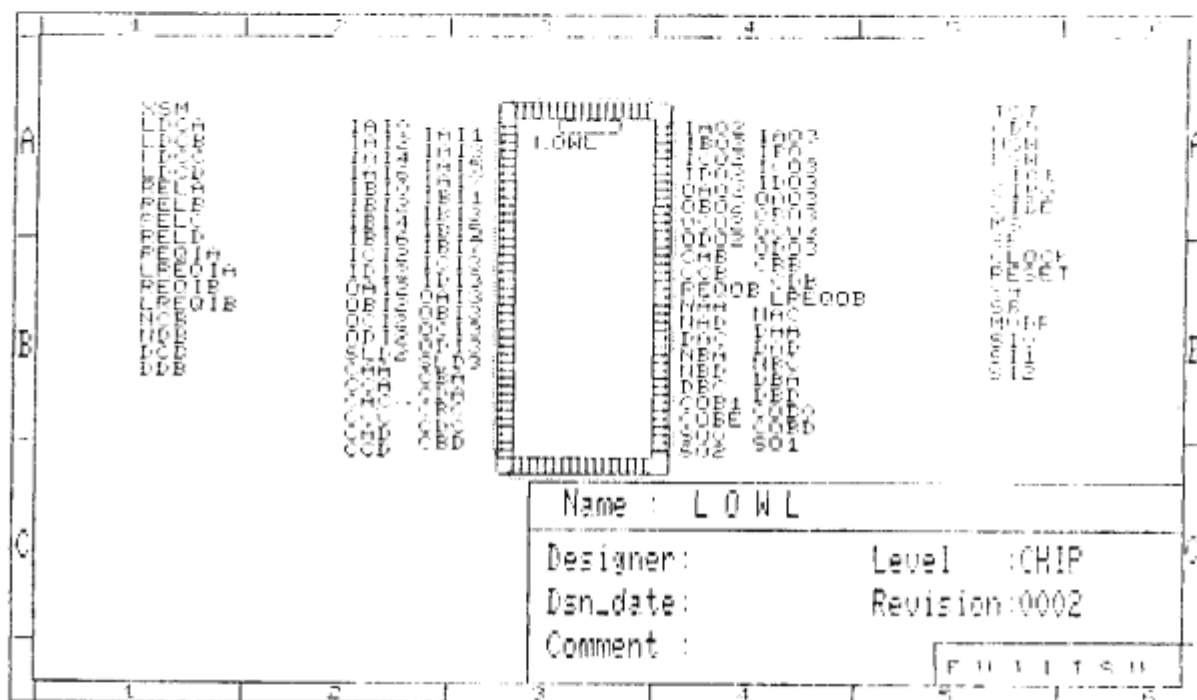


図 4: LOWL モジュールの端子名

2.4.3 UPR モジュール

UPR モジュールの端子名を図6に、回路図を図7に示す。図のように UPR モジュールには、クロスバースイッチの第4ビット、第5ビット分 (URCS45)、及び、出力ポート C 用のアービトレーション部 (URAPC)、コミュニケーション制御部全体 (URCCP) が収納されている。URDIRC、及び、URD-BUF はコミュニケーション制御部に付随し、入出力ポートの入出力方向制御信号を生成するモジュールである。URKBB、URMSC は UPL モジュールと同様、それぞれクロックバッファ、エンコーダである。インバータも同様である。

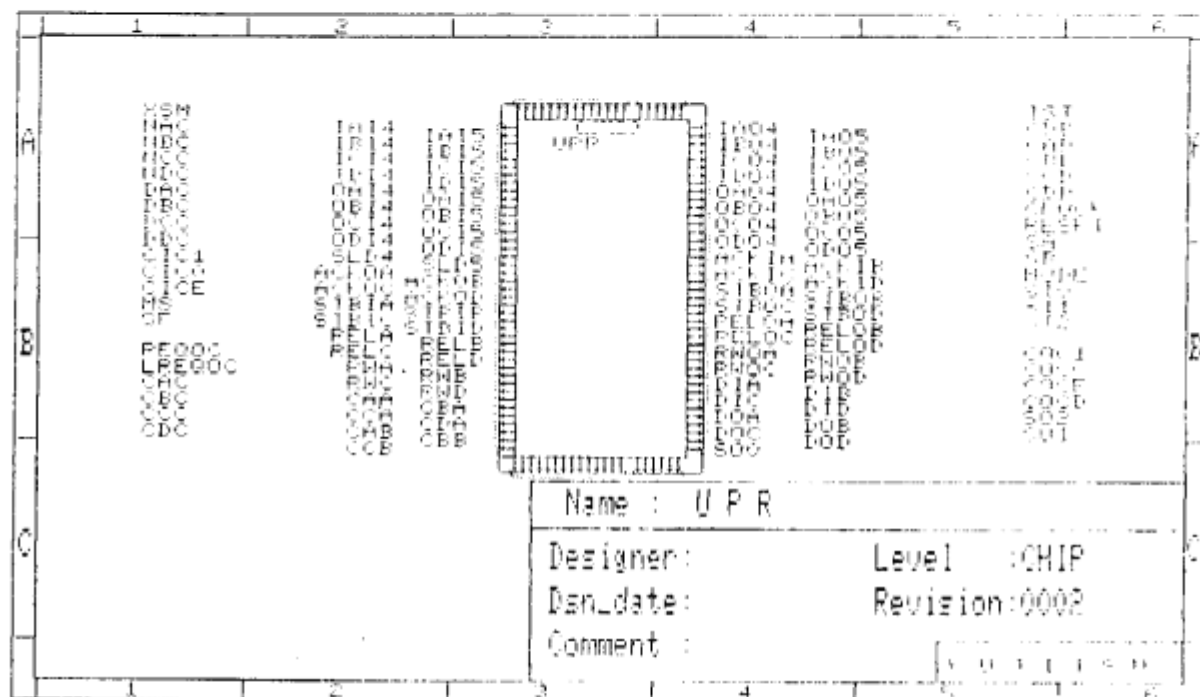


図 6: UPR モジュールの端子名

2.4.4 LOWR モジュール

LOWR モジュールの端子名を図 8 に、回路図を図 9 に示す。図のように LOWR モジュールには、クロスバスイッチの第 6 ビット、第 7 ビット分 (LRCS67)、及び、出力ポート D 用のアービトレーション部 (LRAPD)、入力ポート C、及び D 用のルーティング部 (LRRPC、LRRPD) が収納されている。LRKBB、LRMSC は UPL モジュールと同様、それぞれクロックバッファ、エンコーダである。インバータも同様である。

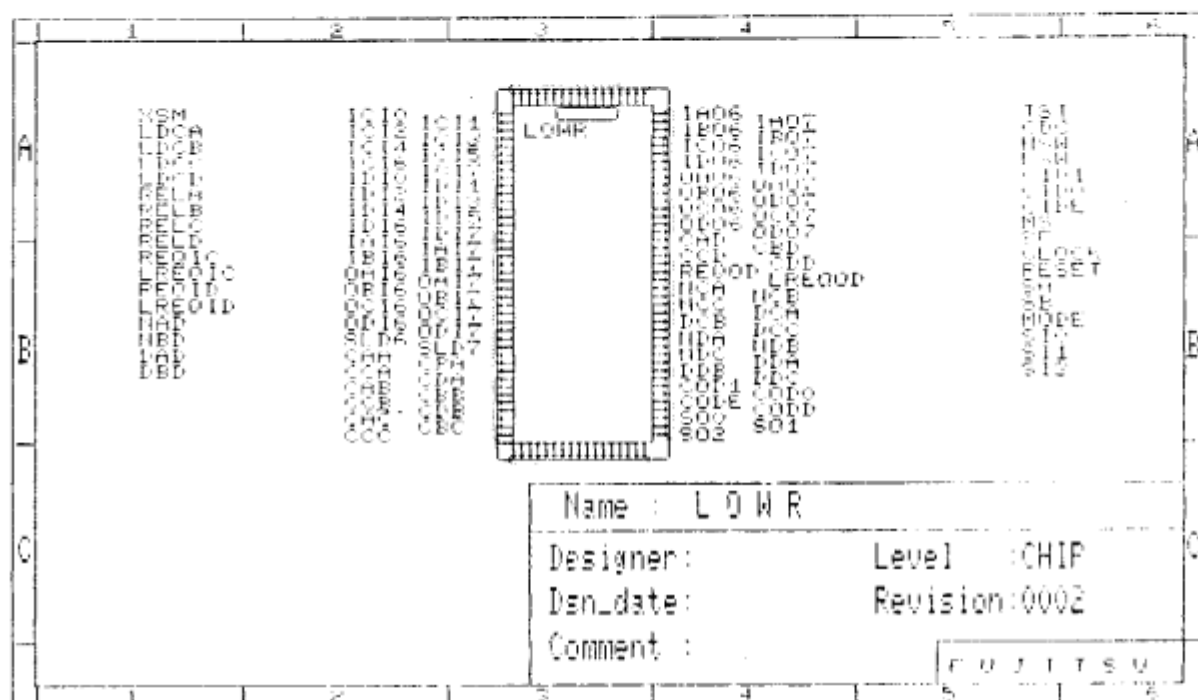


図 8: LOWR モジュールの端子名

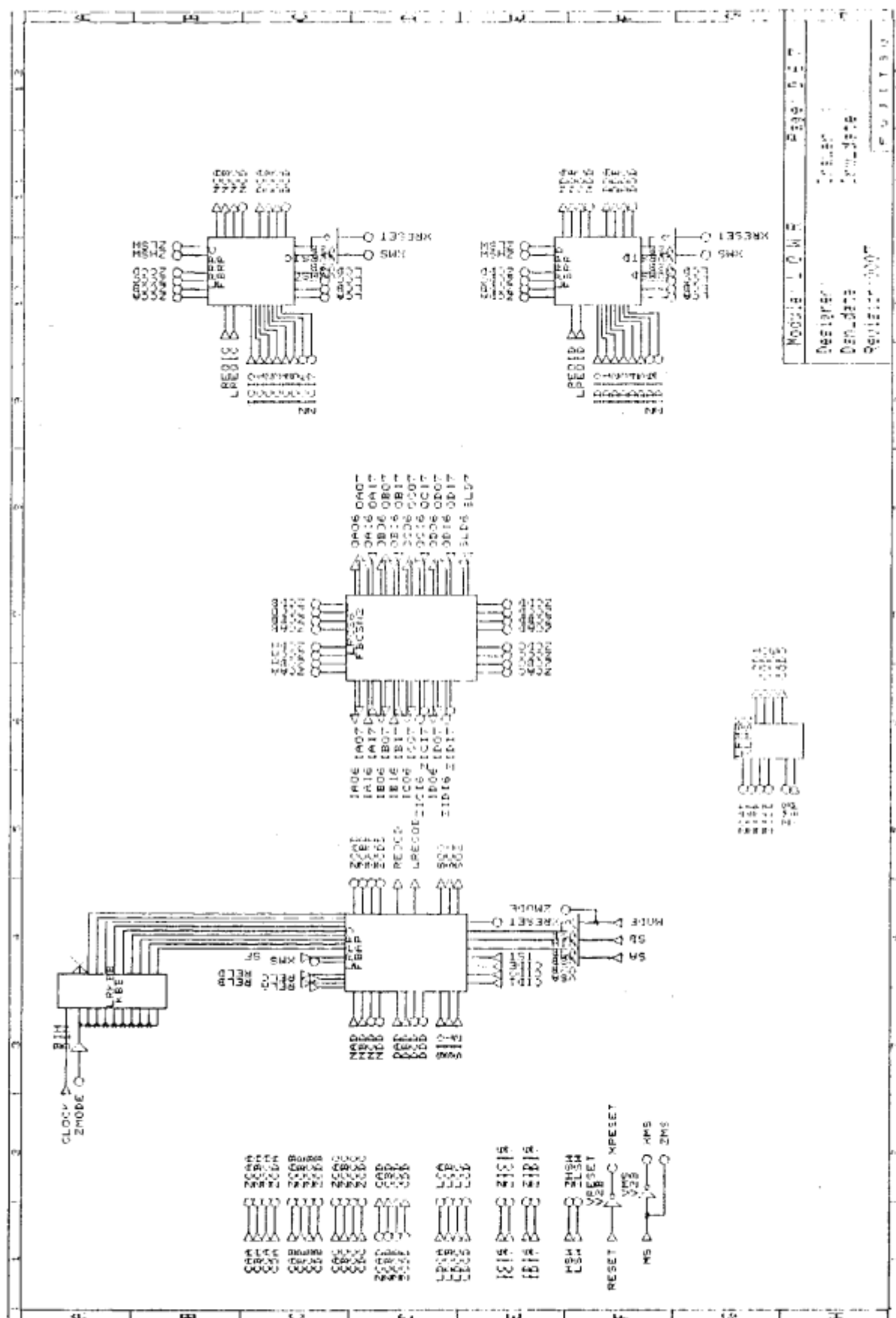


図 9: LOWR モジュールの回路図

3 スイッチングユニットチップの各モジュールの構成

本節では、スイッチングユニットチップを構成する全モジュールの内部回路について説明する。説明は各論理ブロック毎にトップダウンに行なうが、その前に各モジュール内で最下層のビルディングブロックとして用いられているユティリティモジュールの仕様について説明する。

(スキャンパスについては、[1] 参照)

3.1 ユティリティモジュール

各ユティリティモジュールの機能と仕様について説明する。

3.1.1 XLCNT2 モジュール

スキャン対応の2ビット同期式カウンタで、*EN*(Enable) 端子が1(High)の間クロックに同期してカウントアップする。リセット端子 *RESET* により同期リセットが可能である。出力は第0ビット Q_0 とその反転出力 XQ_0 、第1ビット Q_1 とその反転出力 XQ_1 である。*SI*、*SA*、*SB*、および *MODE* はスキャン用の入力端子である。また、 Q_1 はスキャン用の出力端子を兼用する。

3.1.2 XLCOMP モジュール

8ビットのコンパレータである。出力は負論理で、*P*(8ビット)、*Q*(8ビット)に対し、

$$\begin{cases} P = Q \text{ のとき } & EQUAL = 0 \text{ (Low)} \\ P > Q \text{ のとき } & GREAT = 0 \text{ (Low)} \end{cases}$$

となる。

3.1.3 XLBUF モジュール

8ビットのデータライン用スイッチで、制御端子 *DIS* を1(High)にすると全ての出力 *O* が1(High)になる。

I_n	<i>DIS</i>	O_n
d_n	0	d_n
*	1	1

(ここで、*n* は0～7、* は “Don’t care” を表す。)

3.1.4 XLCUT モジュール

XLBUF と同様に8ビットのデータライン用スイッチであるが、制御端子 *EN* を0(Low)にすると全ての出力 *O* が0(Low)になる。

I_n	<i>EN</i>	O_n
*	0	0
d_n	1	d_n

(ここで、*n* は0～7、* は “Don’t care” を表す。)

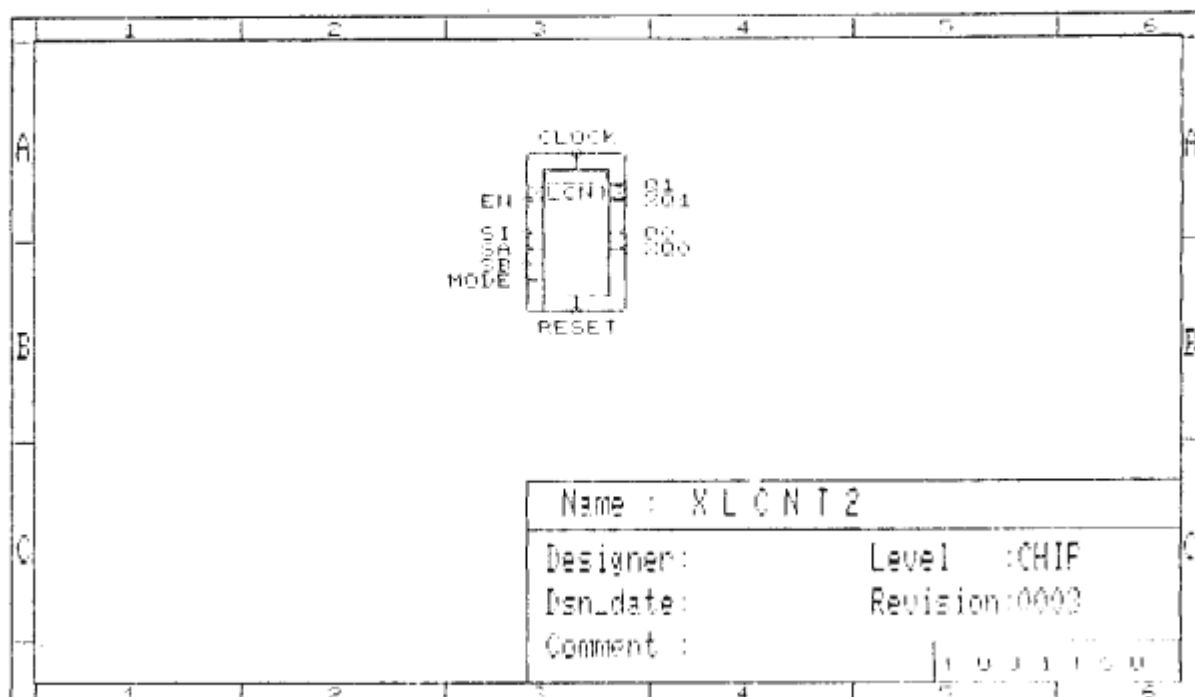


図 10: XLCNT2 モジュールの端子名

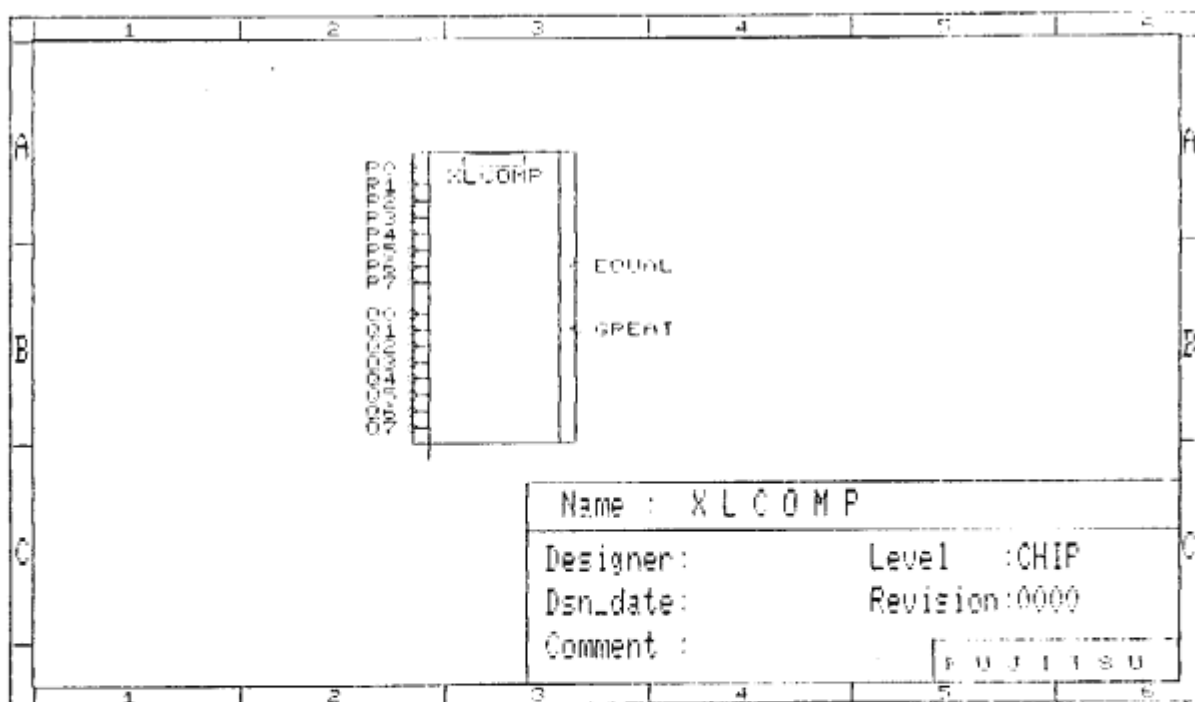


図 11: XLCOMP モジュールの端子名

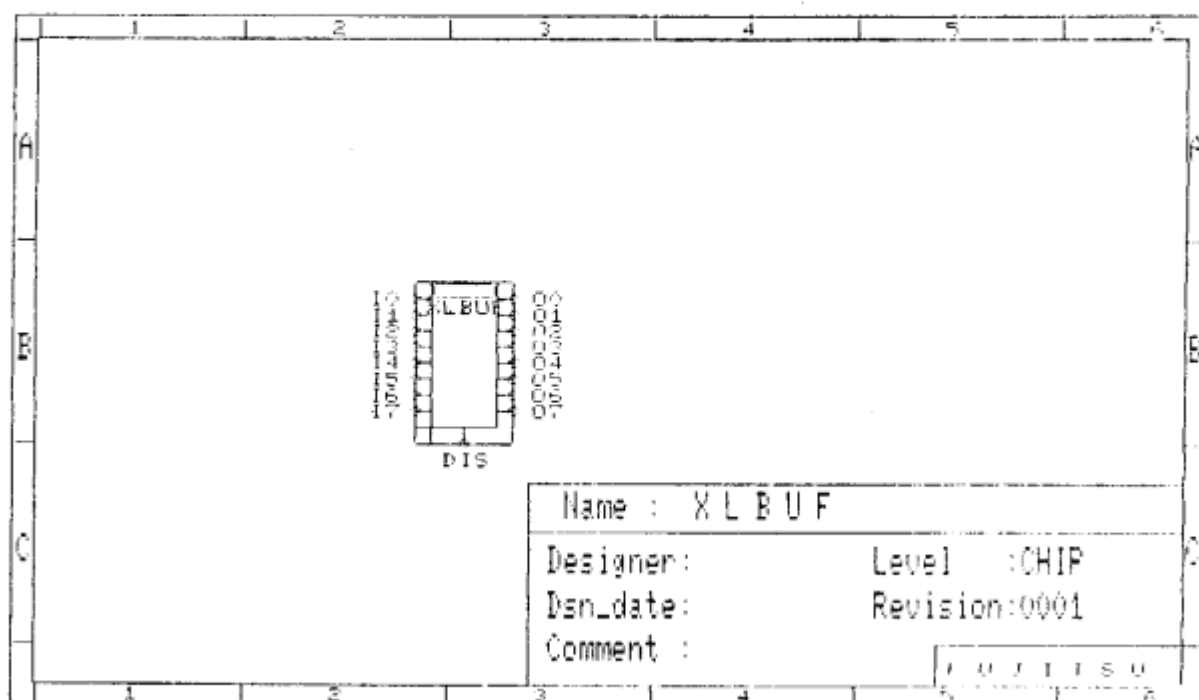


図 12: XLBUF モジュールの端子名

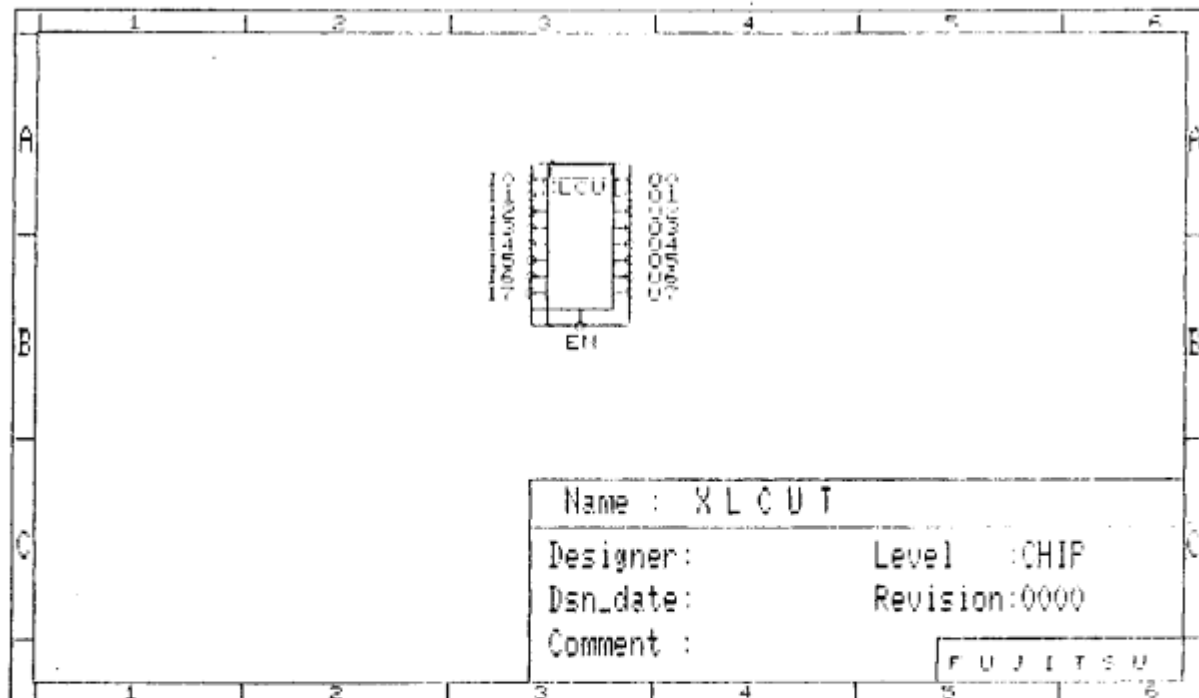


図 13: XLCUT モジュールの端子名

3.1.5 XLSEL モジュール

4ビットから1ビットを選択するマルチプレクサである。制御端子は正論理、つまり対応するビット用の制御線を1(High)にするとそのビットの内容が出力される。複数の制御線を1にするとそれらに対応するビットの内容のORが出力される。つまり、入力を I_n ($n = 0 \sim 3$)、それらに対する制御線を C_n (n は同様)、出力を O とすると、

$$O = I_0 \cdot C_0 + I_1 \cdot C_1 + I_2 \cdot C_2 + I_3 \cdot C_3$$

3.1.6 XLXSEL モジュール

XLSEL と同様に4ビットから1ビットを選択するマルチプレクサであるが、制御端子は負論理、つまり対応するビットの制御線を0(Low)にするとそのビットの内容が出力される。複数の制御線を0にするとそれらに対応するビットの内容のANDが出力される。つまり、入力を I_n ($n = 0 \sim 3$)、それらに対する制御線を C_n (n は同様)、出力を O とすると、

$$O = (I_0 + C_0) \cdot (I_1 + C_1) \cdot (I_2 + C_2) \cdot (I_3 + C_3)$$

3.1.7 XLSW4 モジュール

2つの4ビットデータのうちの一方を選択するスイッチである。制御端子 CTL を1(High)にすると H 端子(4ビット)の内容が出力され、0(Low)にすると L 端子(4ビット)の内容が出力される。

H_n	L_n	CTL	O_n
h_n	*	1	h_n
*	l_n	0	l_n

(ここで、 n は $0 \sim 3$ 、* は “Don't care” を表す。)

3.1.8 XLSW8 モジュール

XLSW4 と同様なスイッチであり、8ビットのスイッチングを行なう。つまり、

H_n	L_n	CTL	O_n
h_n	*	1	h_n
*	l_n	0	l_n

(ここで、 n は $0 \sim 7$ 、* は “Don't care” を表す。)

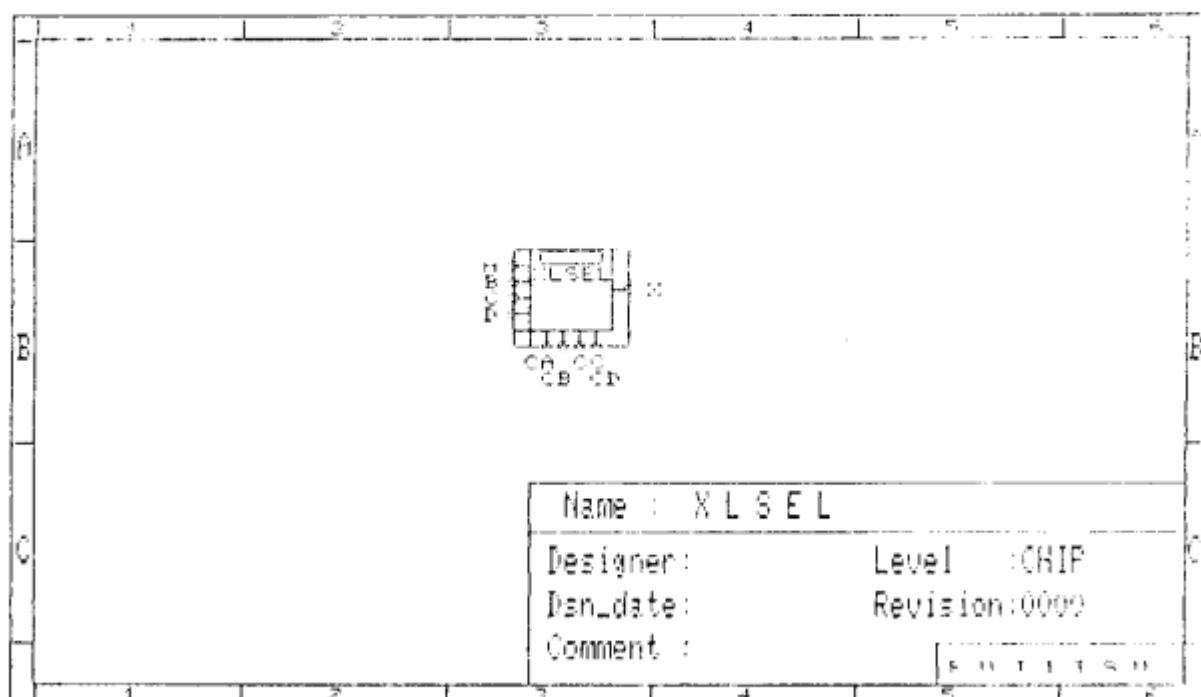


図 14: XLSEL モジュールの端子名

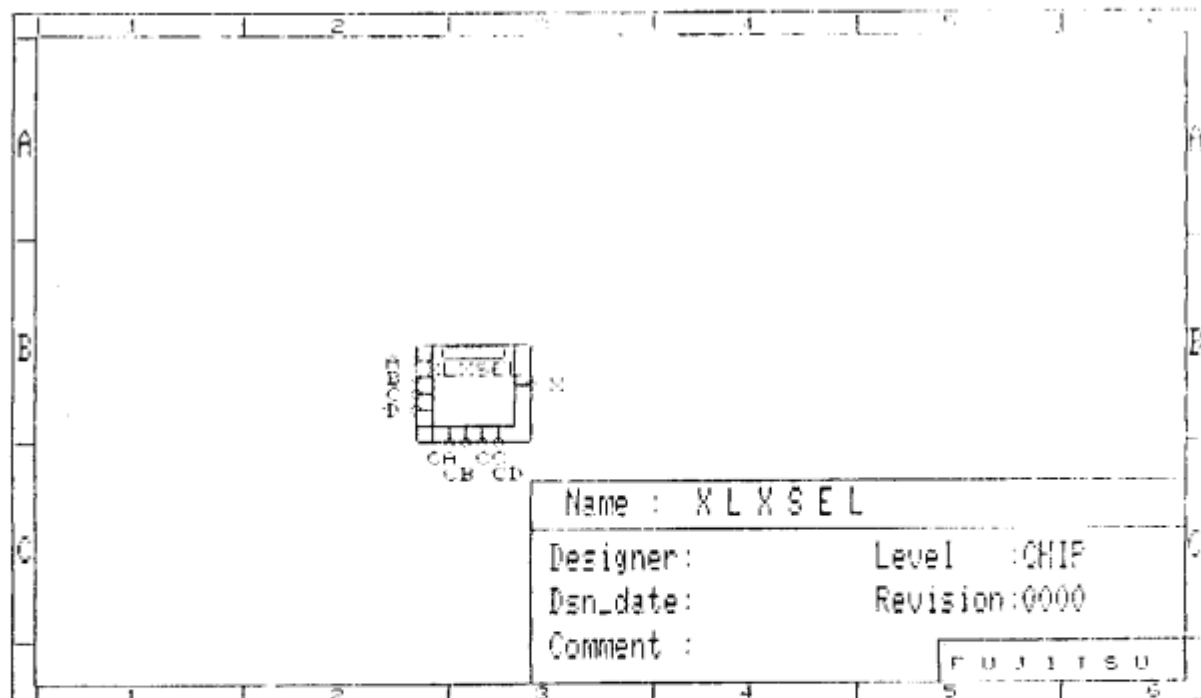


図 15: XLXSEL モジュールの端子名

3.2 クロスバースイッチ

8ビットのクロスバースイッチは、ゲートアレイ作成上の制約により2ビットずつスライスされた状態でモジュール化され、最上位の4つのモジュールに ULCS01、LLCS23L、URCS45、LRCS67 として各々収納されている。(前節の説明を参照) クロスバースイッチは内部的には入力方向、出力方向とも別々のスイッチを用いて構成され、全二重通信が可能であるが、チップの端子数の制限より端子を共有して半二重通信のみをサポートするようになっている。

これら4モジュールを構成する下位モジュール FBCSN2 から始め、順に下位モジュールについて説明する。

3.2.1 FBCSN2 モジュール

図18に FBCSN2 の端子名を、図19に FBCSN2 の回路図を示す。FBCSN2 は1ビットのクロスバースイッチ UDCSW を2つ集めたものである。

FBCSN2 の16本の接続制御信号は CXY という名前が付けられているが、これは入力ポート X から出力ポート Y への接続を制御する信号を表す。したがって、一つのポートから複数のポートへの情報伝達は意味を持つが、一つのポートに複数のポートからの信号が送られてくるような接続の場合(本スイッチングユニットチップではこれも許される)、クロスバースイッチの最下位を構成する XLSEL モジュールの性質によりそれらの OR が出力されるようになっている。また、UDCSW の制御信号は正論理なのに対し、外部の接続情報信号は負論理であるので、このレベルで論理反転を行なっている。

出力ポート側にある LDn(n は A ~ D) という端子は、入力される負荷情報のうちの最小値が与えられて、スイッチが未接続の入力ポート側に送られるものである。

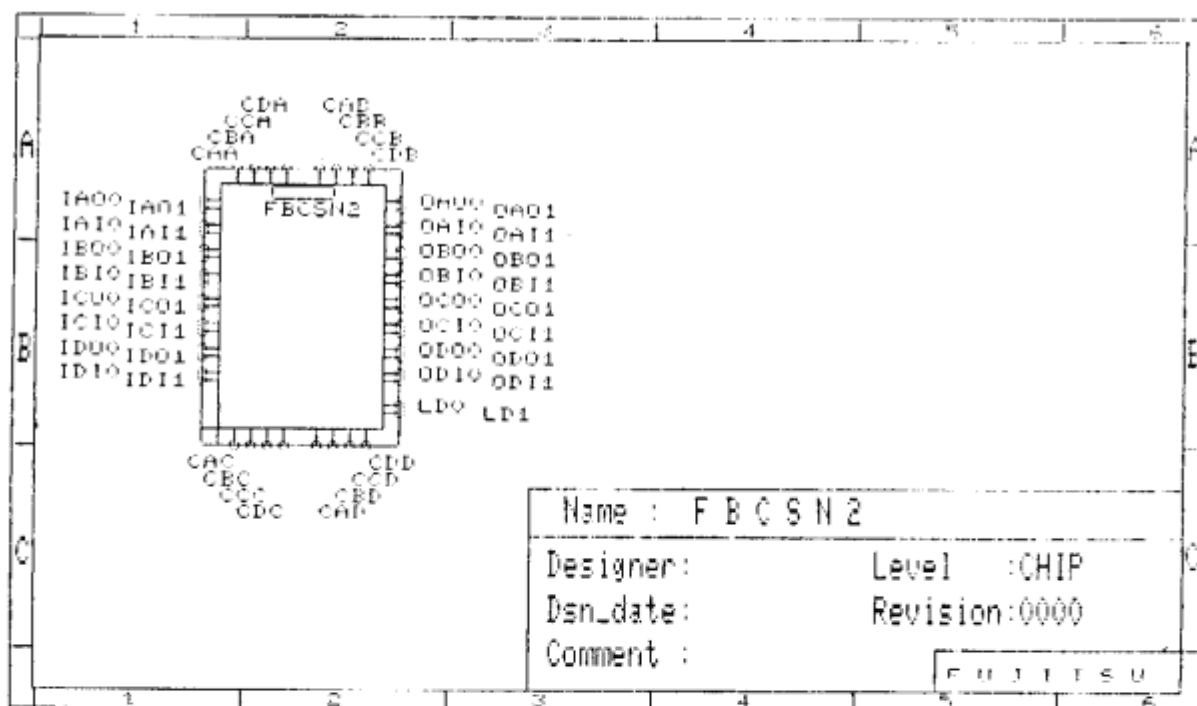


図 18: FBCSN2 モジュールの端子名

3.2.2 UDCSW モジュール

図 20に UDCSW の端子名を、図 21に UDCSW の回路図を示す。UDCSW は 1 ビットの双方向クロスバースイッチであり、入力側から出力側へのスイッチ (XLSEL モジュール)、及び、出力側から入力側へのスイッチ (XLSWL モジュール) から構成される。*LINL* 端子は負荷情報が入力される端子である。

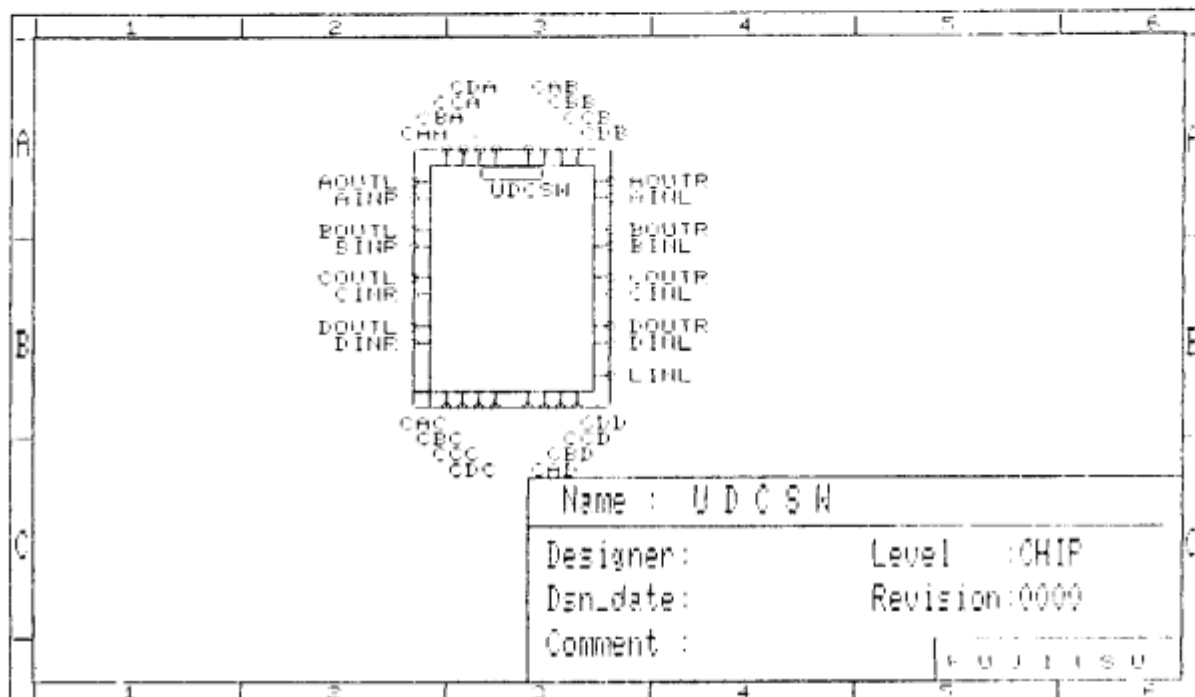
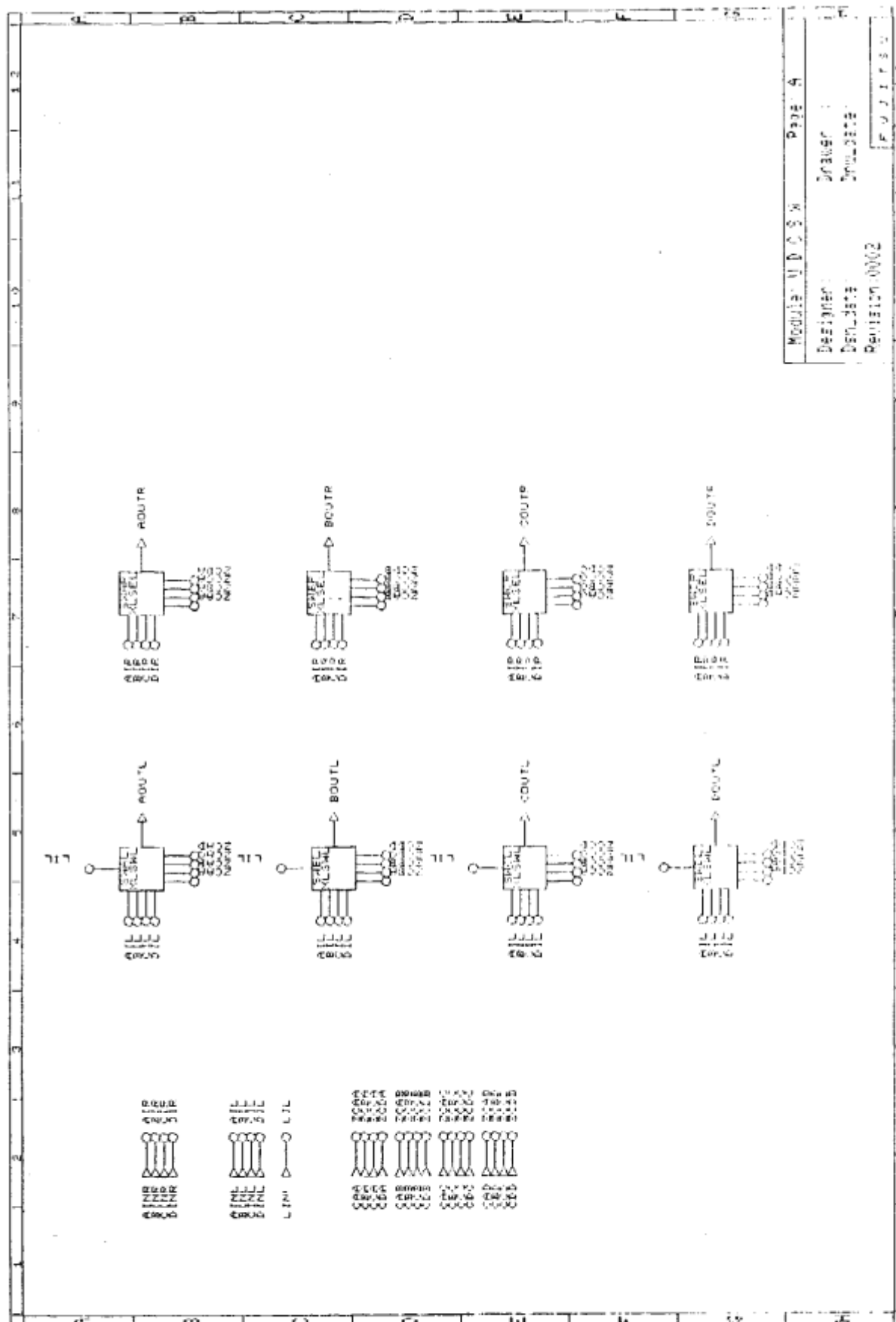


図 20: UDCSW モジュールの端子名



3.2.3 XLSWL モジュール

XLSWL は出力側から入力側へのスイッチを構成するために用いられ、スイッチが未接続状態の時には *LIN* 端子から入力される負荷情報を表す信号を出力する機能をサポートしている。

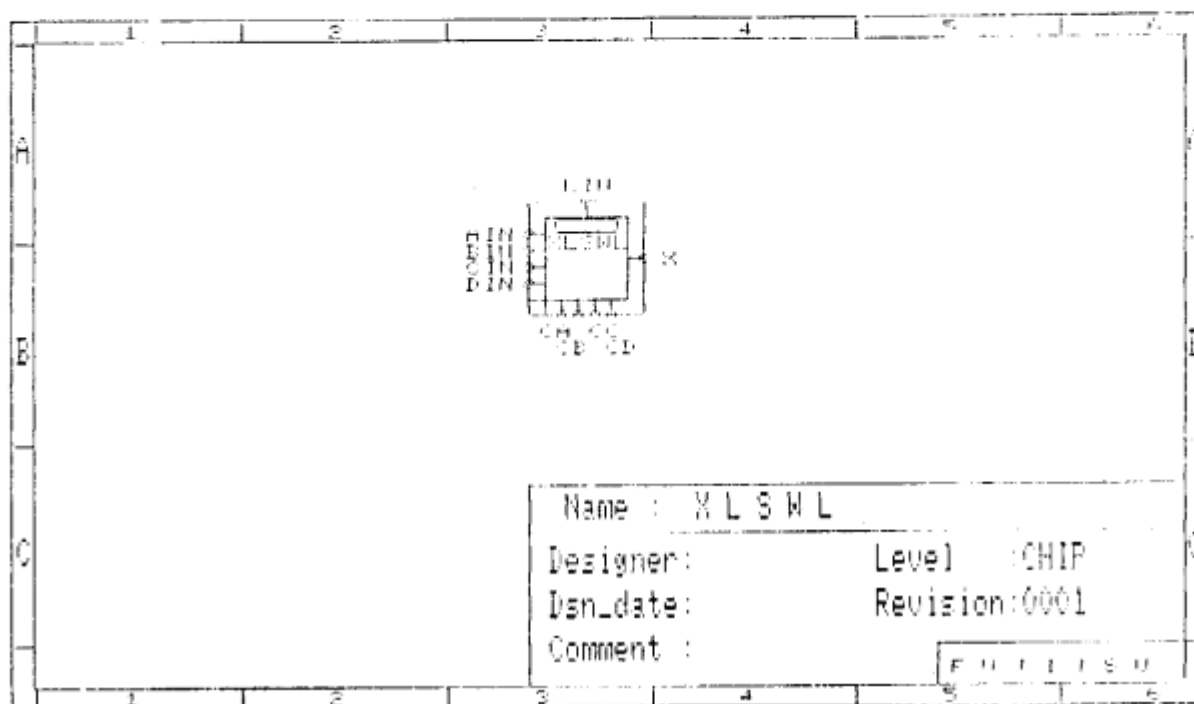


図 22: XLSWL モジュールの端子名

3.3 ルーティング部

ルーティング部は、入力ポート個々に付随する同一の4モジュールから構成されていると考えることができる。つまり、それぞれの入力ポートからの接続要求を専用に受け付け解釈するルーターが4つ存在し、入力ポート A、および B 用のモジュールは最上位モジュール LOWL 内に、入力ポート C、および D 用のモジュールは最上位モジュール LOWR 内に収納されている。

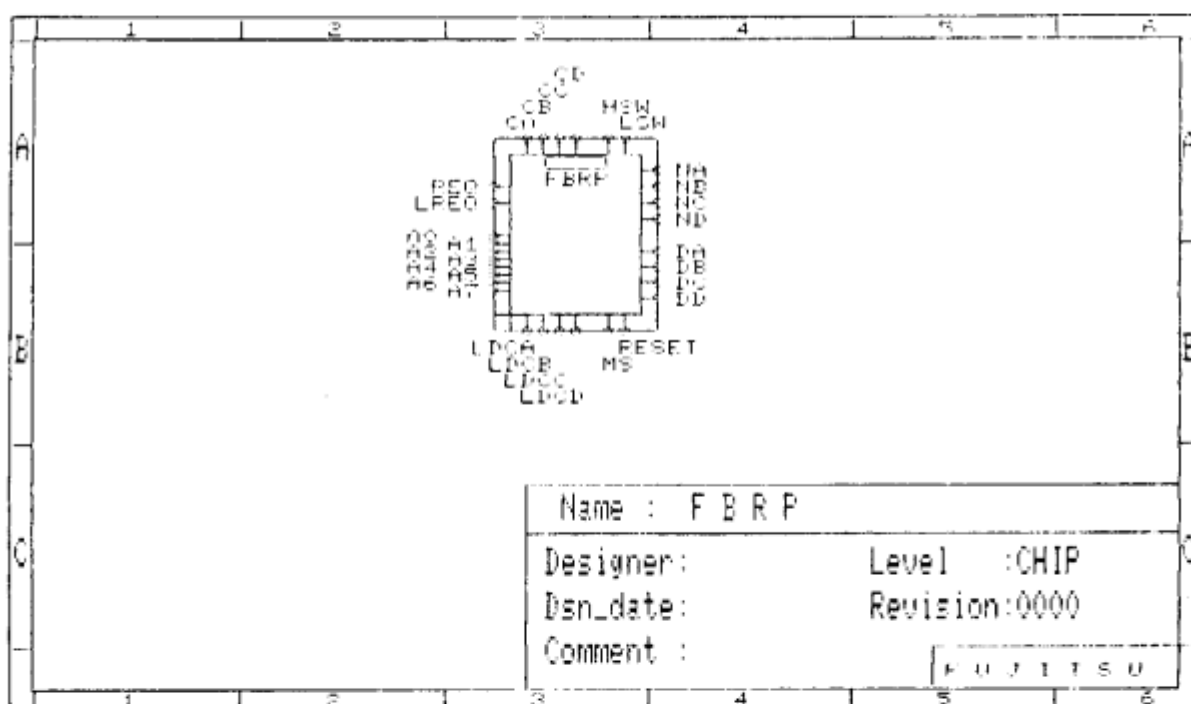
なお、本ルーティング部は負荷の状態に鋭敏に反応するよう、外部からの接続要求をチップに供給されるクロックに関係なく、非同期に受け取り出力ポート側に接続要求を出す。接続要求を受け取るアービトレーション部側はクロックに同期して動作している。

クロクバースイッチと同様に、これら4モジュールを構成する下位モジュール FBRP から階層的に下位のモジュールについて系統的に説明していく。

3.3.1 FBRP モジュール

図 23 に FBRP の端子名を、図 24 に FBRP の回路図を示す。

FBRP はルーター本体である UDRP と、8 ビットのスイッチである XLSW8 からなる。XLSW8 は、本スイッチングユニットチップをスレーブ動作(外部からスイッチングを制御するモード)させる時に、REQ、および LREQ 線が単なる一方方向のデータ線として動作するようルータをバイパスさせるスイッチである。



3.3.2 UDRP モジュール

図 25に UDRP の端子名を、図 26に UDRP の回路図を示す。

UDRP は、行き先指定の接続要求を処理する部分と、入力される負荷量が最小の出力ポートへの接続要求を生成する部分から構成される。

行き先指定の接続要求を処理する部分は、回路図の右側に位置しており、REQ、および LREQ 信号を見て行き先指定の接続要求であることを識別し、データポートに現れている 8 ビットの信号を行き先アドレスとして、段数を示す信号 (HSW、LSW) よりそのうちの特定のビットフィールドを取り出して適当な出力ポートへの接続要求信号を生成する。アドレスデコーダである 4 つの XLRP2 モジュールを中心として、その前に反転信号をつくり出すインバータ群をつけた構成である。4 つの XLRP2 は、接続要求を出す 4 つの出力ポートに対応している。

一方、負荷量が最小の出力ポートへの接続要求を処理する部分は、回路図の左側に位置しており、REQ、および LREQ 信号より負荷分散接続要求 (負荷量が最小の出力ポートへの接続要求) であることを識別し、負荷モニタからの送られてくる負荷量最小の出力ポートを示す信号から接続要求を出すべき出力ポートを決定する。図中の "BUSY" という信号は、どこか一つの出力ポートへ接続要求を出している時に他のポートへの要求を抑制するために用いられる。

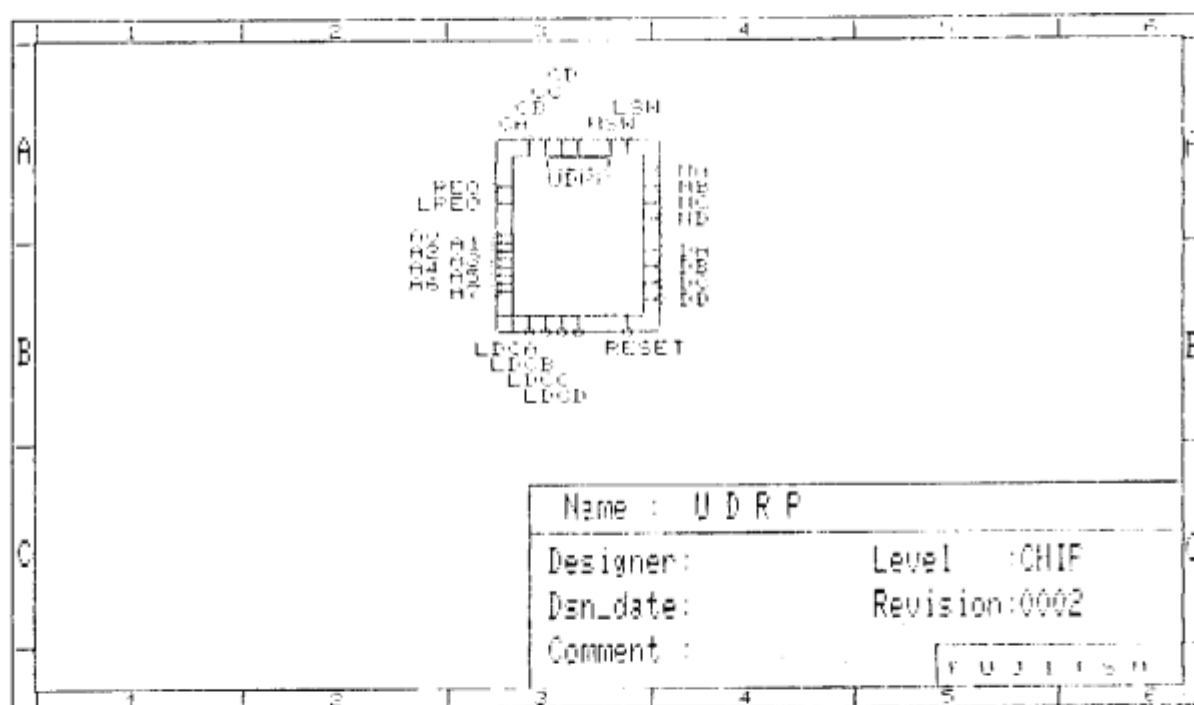


図 25: UDRP モジュールの端子名

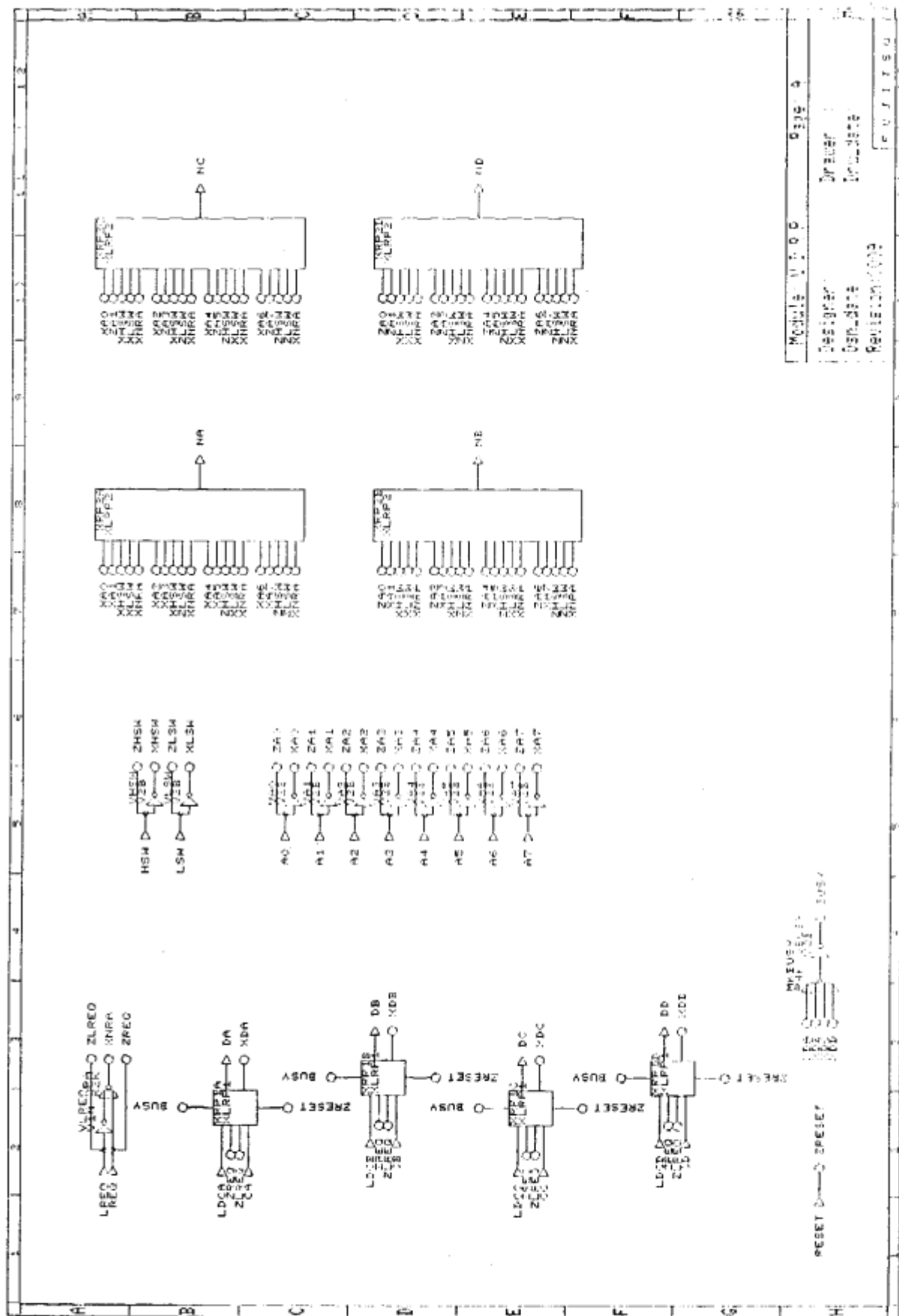


図 26: UDRP モジュールの回路図

3.3.3 XLRP1 モジュール

XLRP1 モジュールは、負荷分散要求を処理する要となる部分であり、非同期の順序回路として構成される。

XLRP1 の端子名を図 27 に示す。REQ、LREQ は外部端子に与えられるものと同じである。ILDC はこの XLRP モジュールが接続要求を出す出力ポートに入力されている負荷情報が最小であることを示す信号(負論理)である。CA はこの XLRP モジュールが接続する入出力間が接続状態であるかどうかを示す信号(負論理)である。BUSY は当入力ポートからどこかの出力ポートに負荷分散接続要求を出しているかどうかを示す信号(正論理)である。RESET は外部から与えられるチップリセット信号(負論理)で、内部状態は初期状態にセットされる。DREQ は接続要求信号(負論理)で、XDREQ はそれを反転したものである。

次に XLRP1 の動作について述べる。

1. 未接続状態

未接続状態では、 $DREQ = 1$ 、 $XDREQ = 0$ 、 $CA = 1$ 、 $BUSY = 0$ で、もちろん $RESET = 1$ である。

2. 接続要求

接続要求があった時 ($REQ = LREQ = 0$) の状態は二つに分けることができる。

(a) $ILDC = 1$ のとき

つまり、この XLRP1 が接続要求を出す出力ポートに入力されている負荷情報が最小ではない時で、この入力ポートへの負荷分散接続要求がなくなるまで、つまり、REQ、あるいは、LREQ が 1 になるまで $DREQ = 1$ を維持し続ける。負荷分散接続要求がなくなったら、1. 未接続状態に戻る。

(b) $ILDC = 0$ のとき

すぐに $DREQ = 0$ として接続要求を出し、受理されるのを待つ。これにより、BUSY は 1 になる。この状態で、接続要求を下ろすと 1. 未接続状態に戻る。

3. 接続状態

接続が受理されると $CA = 0$ となり、それに伴い $ILDC = 1$ になる (これは負荷モニタの働きである)。接続が解除されるまでこの状態が維持される。解除されると 1. 未接続状態に戻る。

3.3.4 XLRP2 モジュール

XLRP2 モジュールは、行き先指定の接続要求を処理する部分でアドレスを解釈するデコーダである。

図 28 に XLRP2 モジュールの端子名を示す。XLRP2 は AND-OR-INVERTER 回路で構成され、論理式は、

$$X = A_1 \cdot A_2 \cdot A_3 \cdot A_4 \cdot A_5 + B_1 \cdot B_2 \cdot B_3 \cdot B_4 \cdot B_5 + C_1 \cdot C_2 \cdot C_3 \cdot C_4 \cdot C_5 + D_1 \cdot D_2 \cdot D_3 \cdot D_4 \cdot D_5$$

と表され、

段数を表す (HSW、LSW。外部端子名では、STG1、STG0) 2 ビットの値が

1. 00 ならば第 0 ビット、第 1 ビット
2. 01 ならば第 2 ビット、第 3 ビット
3. 10 ならば第 4 ビット、第 5 ビット

4. 11 ならば第 6 ビット、第 7 ビット
を取りだし、その値が、

1. 00 ならば出力ポート A
2. 01 ならば出力ポート B
3. 10 ならば出力ポート C
4. 11 ならば出力ポート D

に対し接続要求を出す。

という機能を持つ。

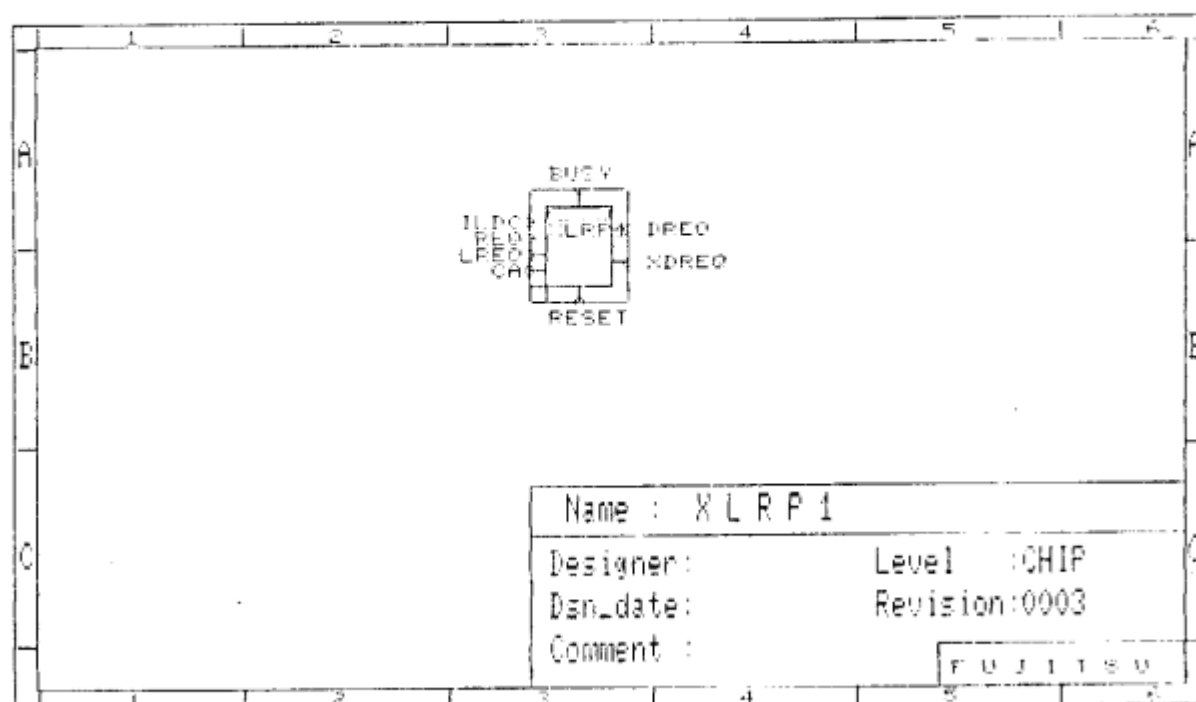


図 27: XLRP1 モジュールの端子名

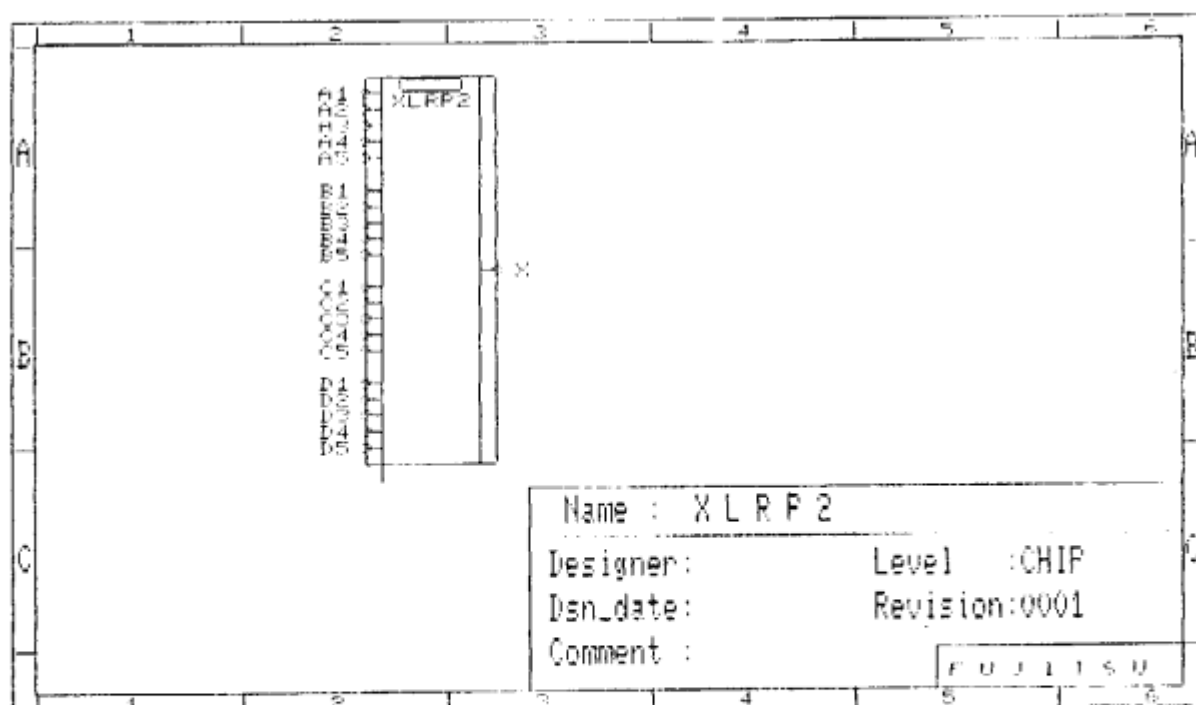


図 28: XLRP2 モジュールの端子名

3.4 アービトレーション部

アービトレーション部は、ルーティング部とは反対に個々の出力ポート毎に独立に動作し、4つの入力ポート(に付随するルーティング部)からの2種類の接続要求を文字どおりアービトレーションする。このアービトレーション部は、さらにアービトレーション結果によって変化する接続状態を表す状態遷移回路を含み、チップ内の接続状態を司る。

アービトレーション部の回路は、外部から供給されるクロックによる同期回路であり、接続状態はクロックに従って遷移する。接続要求は、最初のクロック立ち上がり時にすぐに受理されるモードと1クロック間要求が保持されていることが確認されてから受理されるモードがある。

アービトレーション部は *REL* 信号によって接続を解除する。解除は要求とともに受理されるが、接続状態は1クロック間保持され、その間に *REL* 信号が次段に伝えられる。

アービトレーション部は、対応する出力ポート毎に4つに分割され4つの最上位モジュールの一つずつ収納されている。以下、FBAP モジュールから順に説明する。

3.4.1 FBAP モジュール

図 29に FBAP の端子名を、図 30に FBAP の回路図を示す。FBAP モジュールは、

- 接続状態を保持する状態遷移回路 (UDAP1)
- 接続要求をアービトレーションする部分 (UDAP2)
- 接続要求に応じて接続要求をブロック、保持する部分 (UDAP3)
- 次段への *REQ*、*LREQ* 信号を生成する部分 (UDAP4)
- マスター / スレーブの各モードに応じて、内部 / 外部の接続情報信号を切替える部分 (UDAP5)

から構成されている。

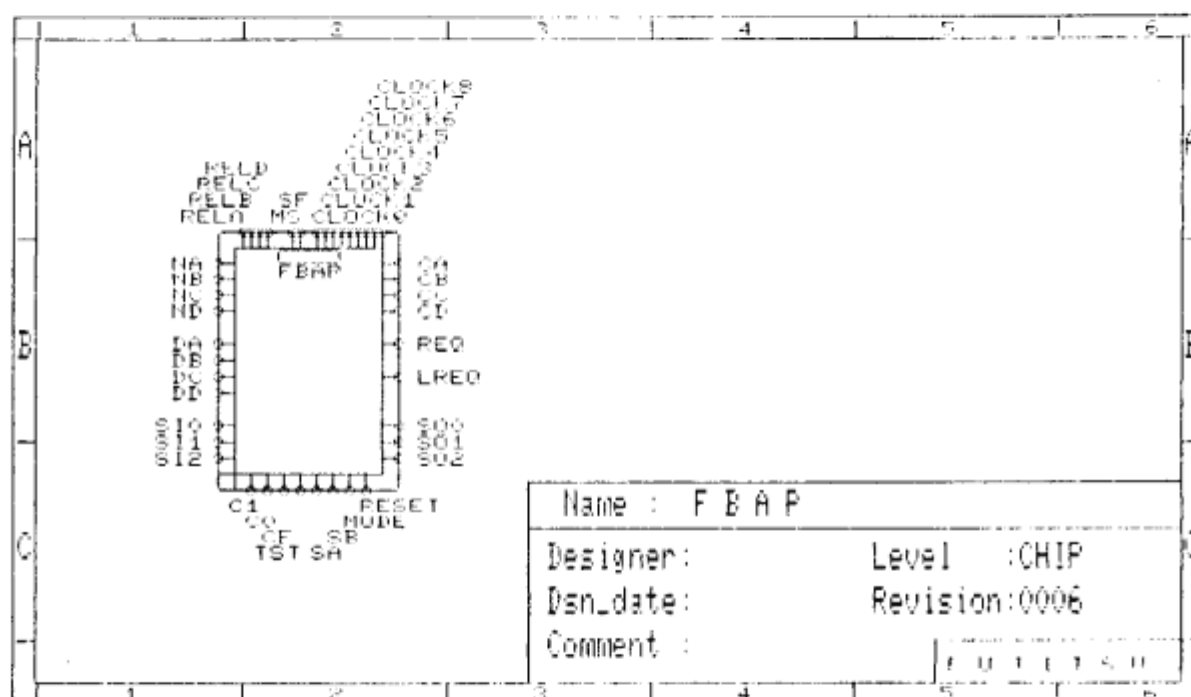


図 29: FBAP モジュールの端子名

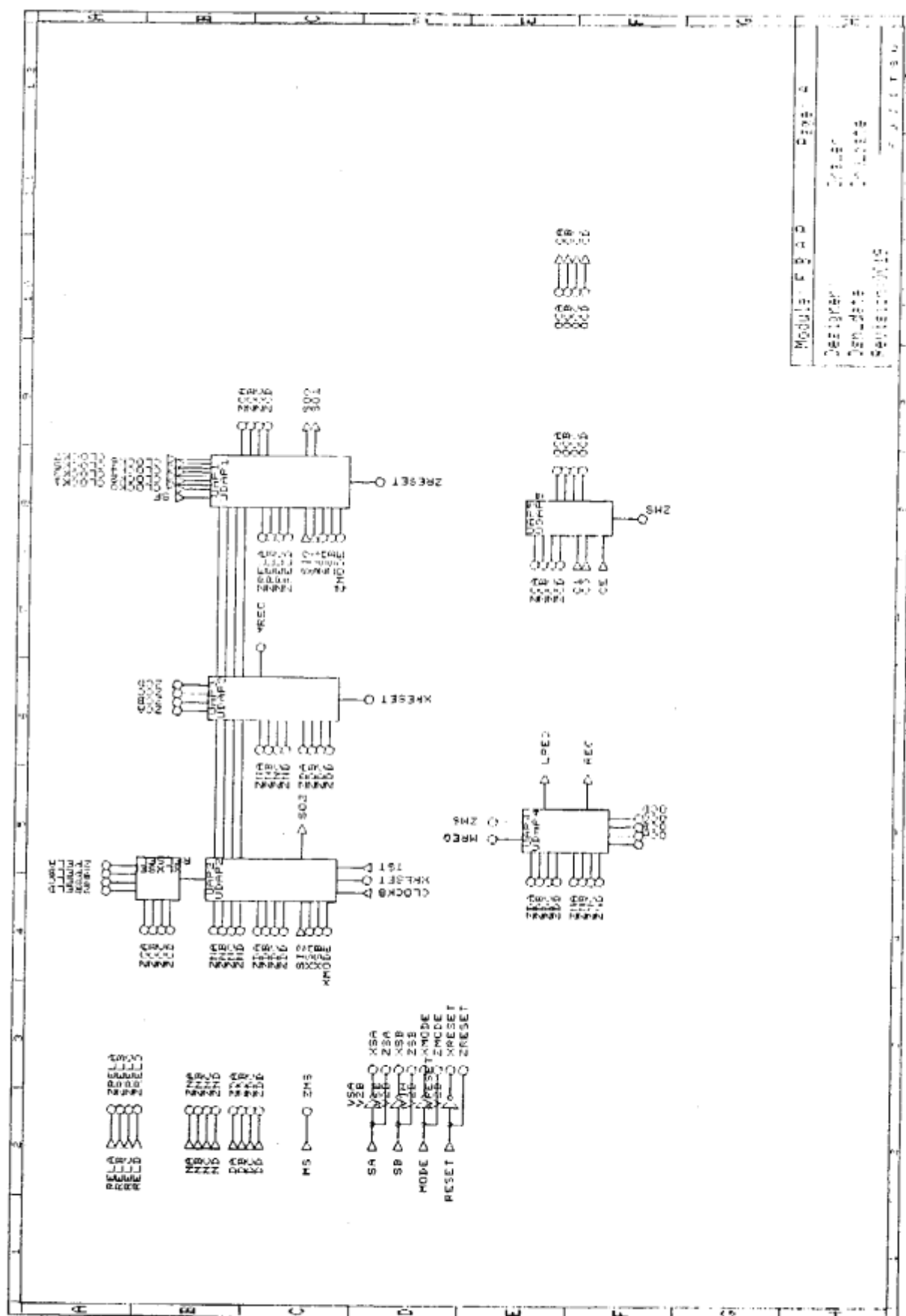


図 30: FBAP モジュールの回路図

3.4.2 UDAP1 モジュール

図 31に UDAP1 の端子名を、図 32に UDAP1 の回路図を示す。

UDAP1 モジュールは、対応する出力ポートへ接続するスイッチの状態を保持する状態遷移回路であり、要求があり次第すぐ受理するモード用と、1クロック間接続要求が持続した場合に受理するモード用の2種類の回路が内蔵されている。

回路図の中央右側に縦に4つ並んでいるモジュール (XLAP4) がすぐに接続要求を受理する状態遷移回路であり、中央左側の4つのモジュール (XLAP3) が1クロック間待つ状態遷移回路である。

このモジュールに入ってくる接続要求は、アービトレーションされて必ずどれか一つだけであり、既にどれかの状態遷移回路が接続状態にある時には後続の接続要求は前段階でブロックされる。

回路図の一番右側のモジュール (UAP1SW) は2種類の状態遷移回路を切替えるスイッチである。

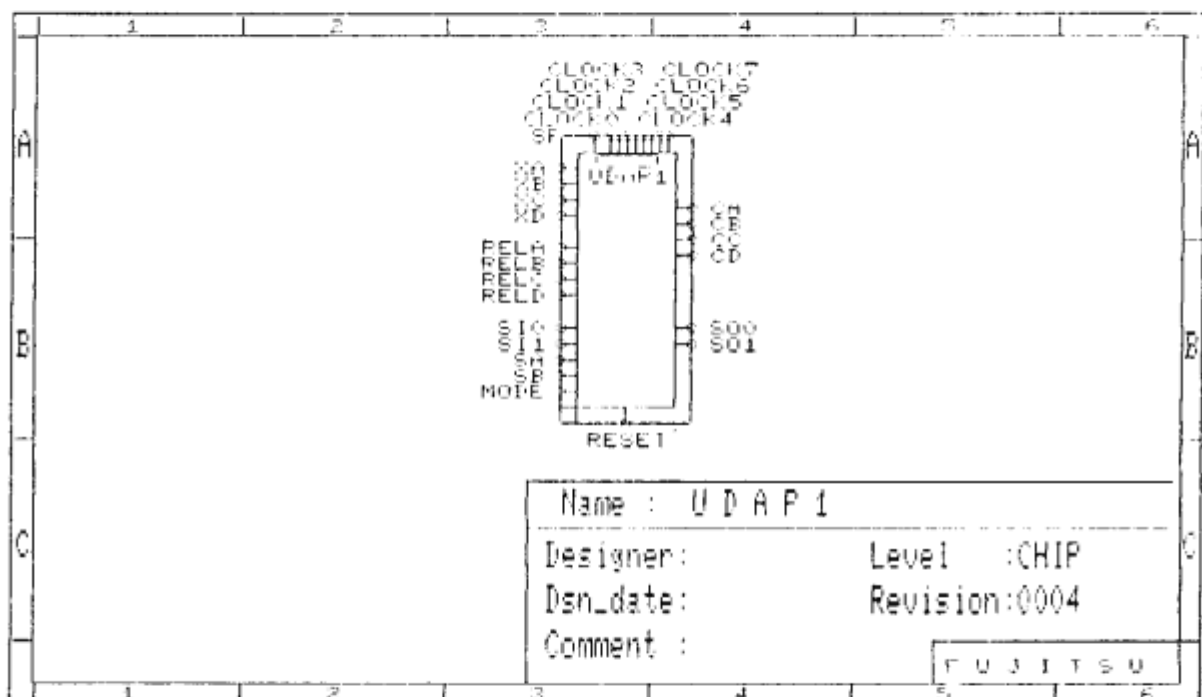


図 31: UDAP1 モジュールの端子名

3.4.3 XLAP3 モジュール

XLAP3 モジュールは接続要求が1クロック持続した時に接続を行なうモードの状態遷移回路である。

図33に XLAP3 モジュールの端子名を示す。*X* が前処理の済んだ接続要求信号(負論理)で、*REL* は外部端子に加えられる *REL* 信号(接続解除要求、負論理)である。*CLOCK* はチップに加えられるクロック(立ち上がりで状態が変化する)、*RESET* はチップリセット信号(負論理)である。接続が受理されると *C* がアクティブ(負論理なので Low)になる。その他の端子は、スキャンバスを構成、駆動するための端子である。

XLAP3 は次のような4つの内部状態を持っている。

1. 未接続状態

どこにも接続されていない状態である。これが初期状態となる。接続解除要求は無視される。

2. 接続待機状態

接続要求が来た場合に、それが1クロック間保持されるのを待つ。1クロック間保持されなかった時は1. 未接続状態に戻る。接続解除要求は無視される。

3. 接続状態

接続要求が受理されるとこの状態になる。接続解除要求があるまでこの状態が保持される。接続要求は無視される。

4. 接続解除状態

接続解除要求があるとこの状態になる。次のクロックで1. 未接続状態に戻る。接続要求は無視される。

3.4.4 XLAP4 モジュール

XLAP4 モジュールは接続要求が来た時にすぐ接続を行なうモードの状態遷移回路である。

図34に XLAP4 モジュールの端子名を示す。機能は XLAP3 と同様である。*X* が前処理の済んだ接続要求信号(負論理)で、*REL* は外部端子に加えられる *REL* 信号(接続解除要求、負論理)である。*CLOCK* はチップに加えられるクロック(立ち上がりで状態が変化する)、*RESET* はチップリセット信号(負論理)である。接続が受理されると *C* がアクティブ(負論理なので Low)になる。その他の端子は、スキャンバスを構成、駆動するための端子である。

XLAP4 は次のような3つの内部状態を持っている。

1. 未接続状態

どこにも接続されていない状態である。これが初期状態となる。接続要求があると、クロックの立ち上がりに同期して次の接続状態に遷移する。接続解除要求は無視される。

2. 接続状態

接続要求が受理されるとこの状態になる。接続解除要求があるまでこの状態が保持される。接続要求は無視される。

3. 接続解除状態

接続解除要求があるとこの状態になる。次のクロックで1. 未接続状態に戻る。接続要求は無視される。

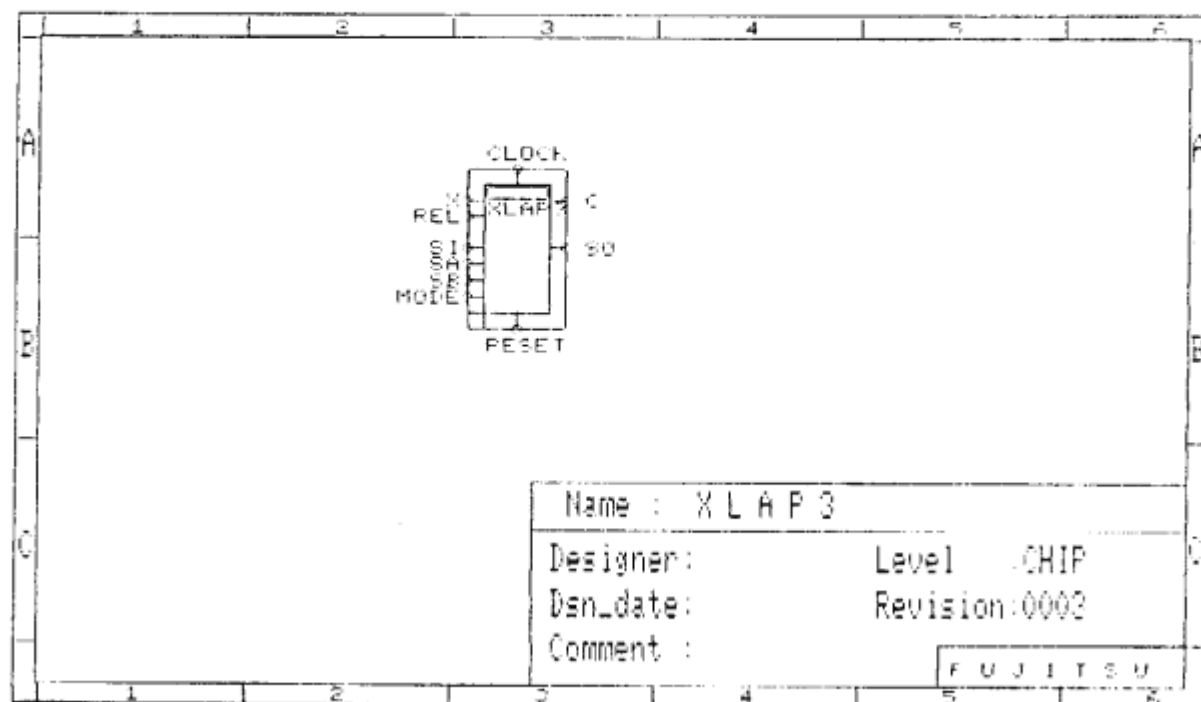


図 33: XLAP3 モジュールの端子名

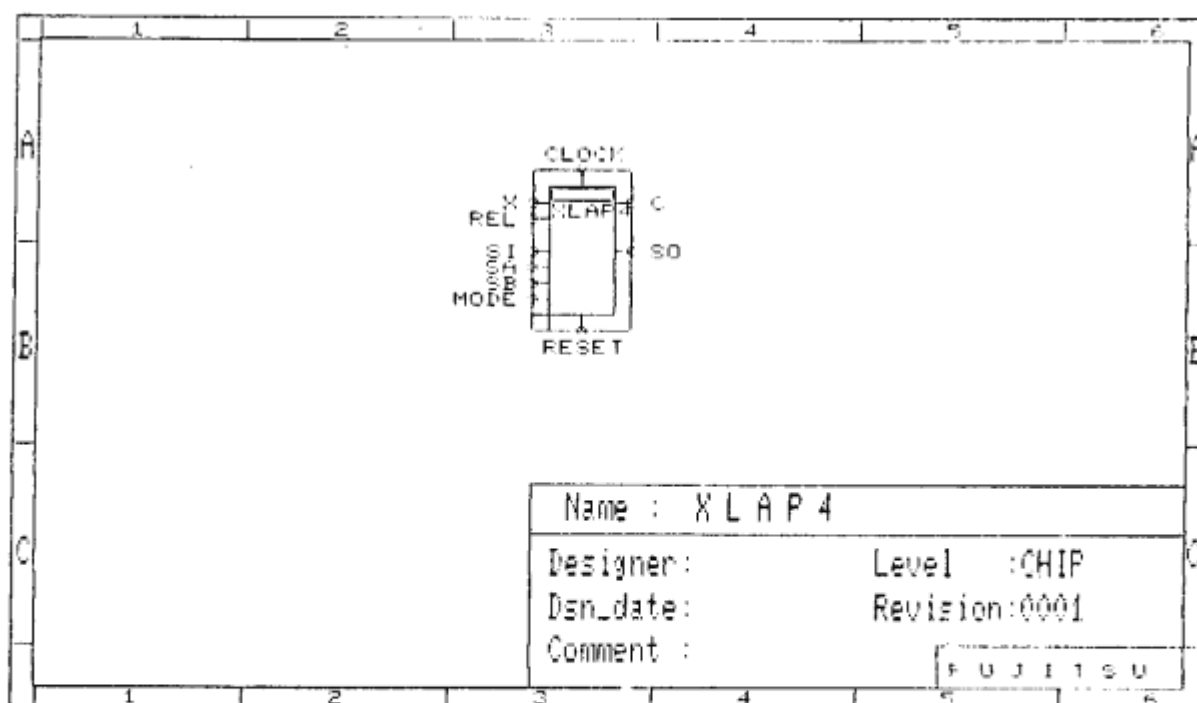


図 34: XLAP4 モジュールの端子名

3.4.5 UDAP2 モジュール

図 35に UDAP2 の端子名を、図 36に UDAP2 モジュールの回路図を示す。

UDAP2 は、4つの入力ポートからの2種類の接続要求をアービトレーションするモジュールで、図の左上にある2ビットのカウンタ、および、残りの部分を占める優先順位デコーダから構成され、ラウンドロビン方式のアービトレーションを行なう。

具体的には、カウンタの4つの値に応じて、4つの入力ポートの優先順位が、

```

A > B > C > D
↓
B > C > D > A
↓
C > D > A > B
↓
D > A > B > C
↓
(最初に戻る)

```

と変化する。

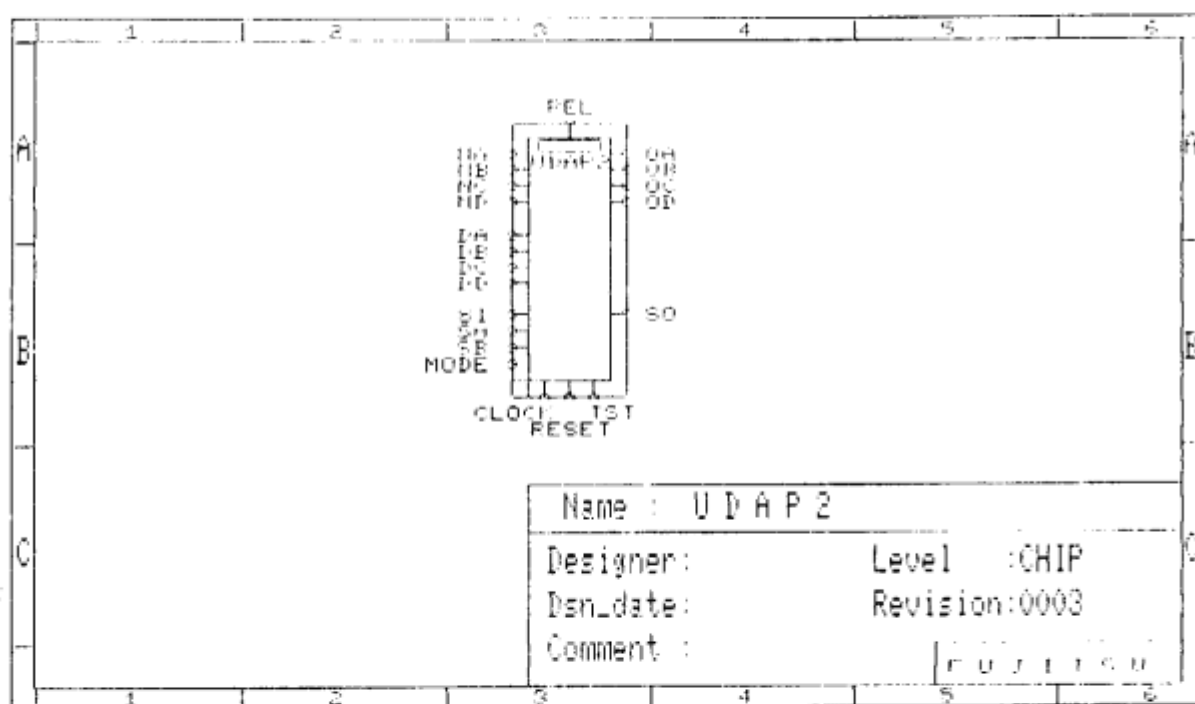


図 35: UDAP2 モジュールの端子名

3.4.6 XLAP1 モジュール

図 37 に XLAP1 モジュールの端子名を示す。XLAP1 は優先順位デコーダを一部分をなすもので、実態は次のような AND-OR-INVERTER 回路である。

$$\begin{aligned}
 X = & A_1 \cdot A_2 \cdot A_3 + B_1 \cdot B_2 \cdot B_3 + C_1 \cdot C_2 \cdot C_3 \cdot C_4 \cdot C_5 + D_1 \cdot D_2 \cdot D_3 \cdot D_4 \cdot D_5 \\
 & + E_1 \cdot E_2 \cdot E_3 \cdot E_4 \cdot E_5 \cdot E_6 + F_1 \cdot F_2 \cdot F_3 \cdot F_4 \cdot F_5 \cdot F_6 \\
 & + G_1 \cdot G_2 \cdot G_3 \cdot G_4 \cdot G_5 \cdot G_6 \cdot G_7 + H_1 \cdot H_2 \cdot H_3 \cdot H_4 \cdot H_5 \cdot H_6 \cdot H_7
 \end{aligned}$$

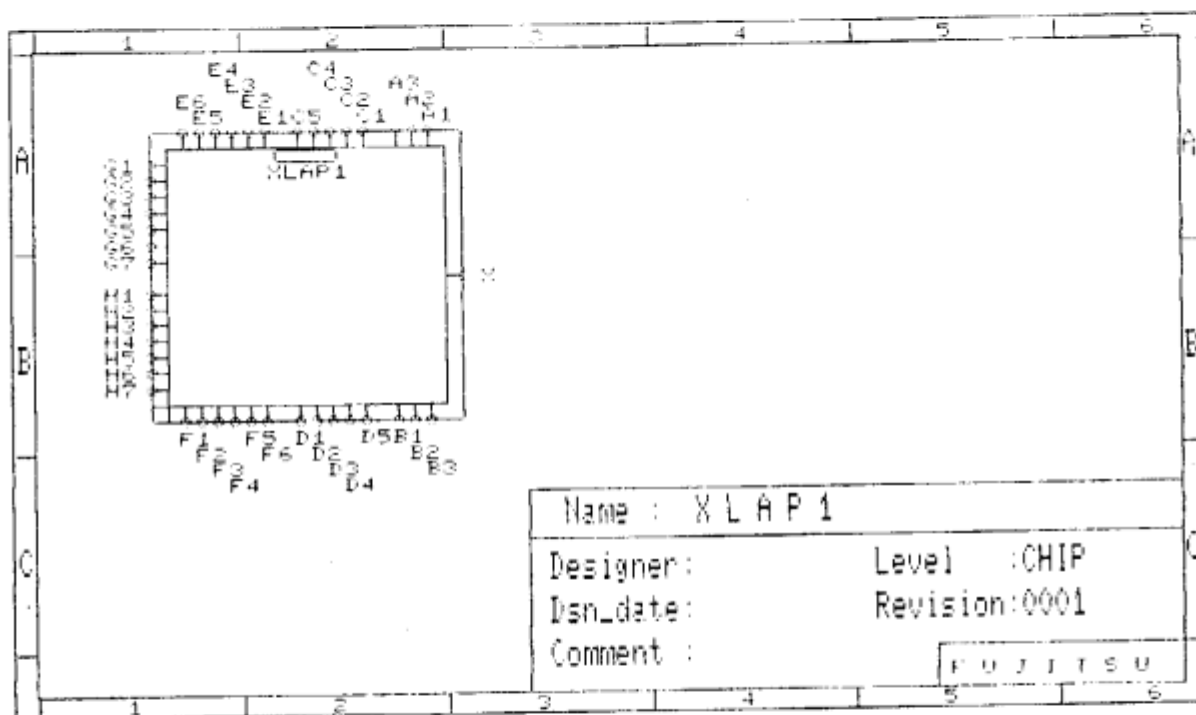


図 37: XLAP1 モジュールの端子名

3.4.7 XLAP2 モジュール

図 38 に XLAP2 モジュールの端子名を示す。XLAP2 は XLAP1 と同様に優先順位デコーダを一部分をなすもので、実態は次のような AND-OR-INVERTER 回路である。

$$\begin{aligned}
 X = & A_1 \cdot A_2 \cdot A_3 + B_1 \cdot B_2 \cdot B_3 + C_1 \cdot C_2 \cdot C_3 \cdot C_4 + D_1 \cdot D_2 \cdot D_3 \cdot D_4 \\
 & + E_1 \cdot E_2 \cdot E_3 \cdot E_4 \cdot E_5 \cdot E_6 + F_1 \cdot F_2 \cdot F_3 \cdot F_4 \cdot F_5 \cdot F_6 \\
 & + G_1 \cdot G_2 \cdot G_3 \cdot G_4 \cdot G_5 \cdot G_6 \cdot G_7 + H_1 \cdot H_2 \cdot H_3 \cdot H_4 \cdot H_5 \cdot H_6 \cdot H_7
 \end{aligned}$$

3.4.8 UDAP3 モジュール

図 39 に UDAP3 の端子名を、図 40 に UDAP3 モジュールの回路図を示す。UDAP3 は、次の状態遷移回路への接続要求信号をバッファリングする XLAP5 モジュールと、マスターモードの時に次段への REQ 信号を生成する XLXSEL モジュールから構成されている。

次段への REQ 信号は、2 種類の接続要求のどちらかが来ていて、接続が受理されてから出されるようになっている。ただし、チップに加えられている REQ 信号をそのまま出しているだけなので、それを下げてしまうと次段への REQ 信号も下りてしまう。

接続要求信号のバッファリングについては、XLAP5 モジュールの項で説明する。

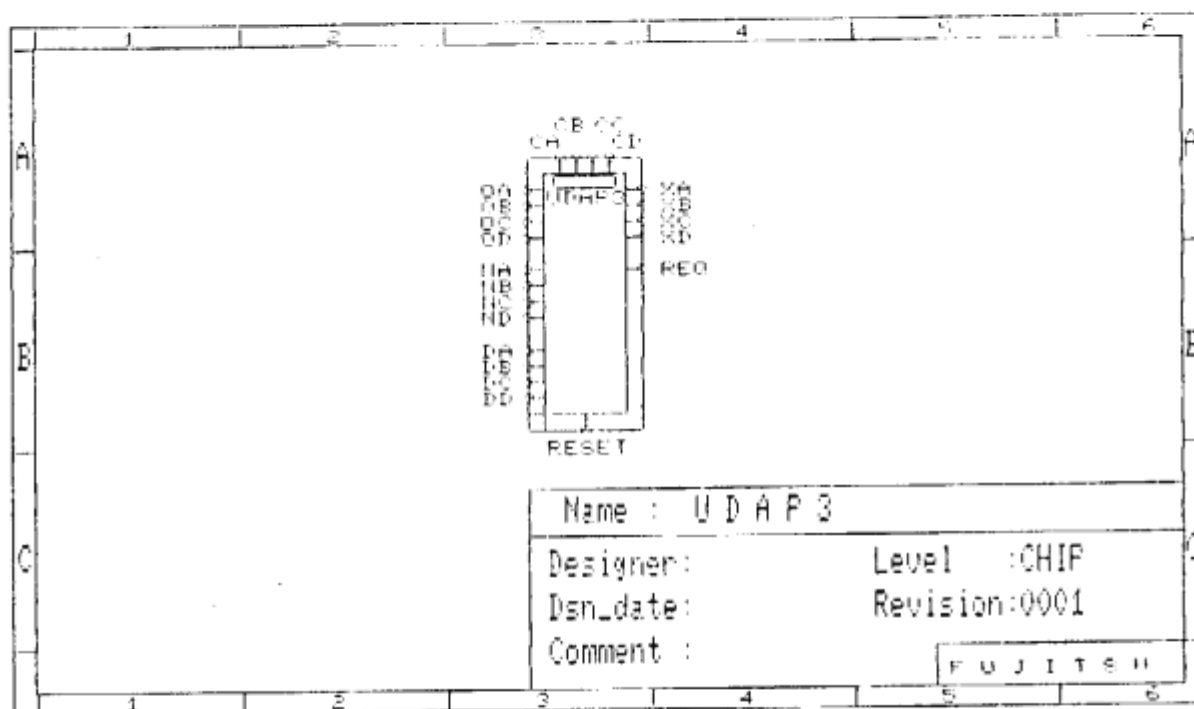


図 39: UDAP3 モジュールの端子名

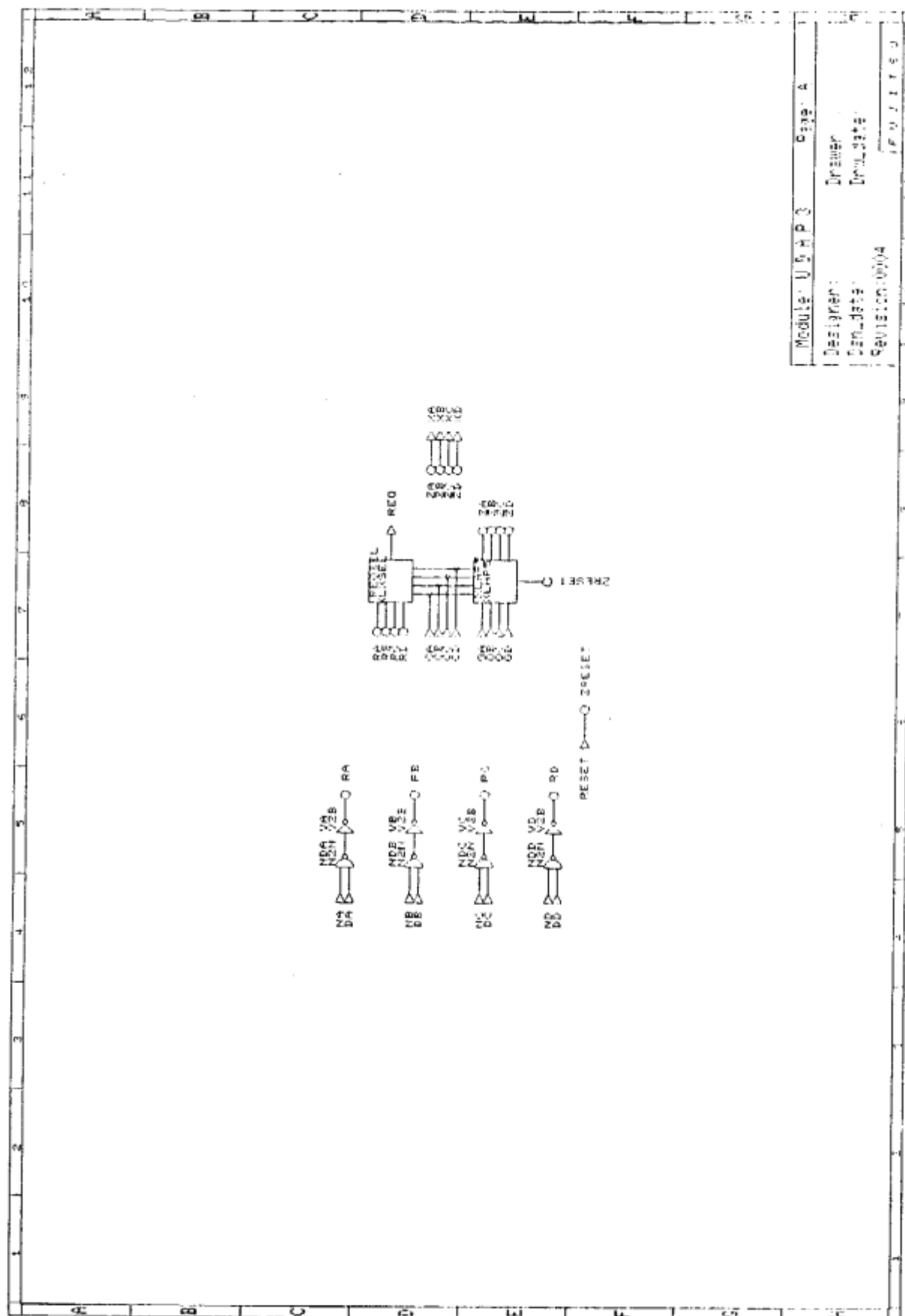


図 40: UDAP3 モジュールの回路図

3.4.9 XLAP5 モジュール

図 41に XLAP5 モジュールの端子名を示す。

XLAP5 は次のように動作する。

1. 未接続状態
どこにも接続されていない状態で出力 X_n (n は 0 ~ 3) はすべて 1(High) である。これが初期状態となる。
2. 接続要求保持
 1. 未接続状態で O_n が 0(Low) になると、すぐ X_n が 0 (Low) になる。接続が確立し C_n が 0(Low) になると、 O_m ($m \neq n$) が 0(Low) になっても無視される。また、 O_n も一旦 1(High) にしてしまうと、再び 0(Low) にしても無視される。
3. 接続解除
 2. の状態では後続の接続要求はすべてブロックされるが、接続が解除されると 1. 未接続状態に戻り、再び接続要求を受け付ける。

リセット信号は負論理で、非同期リセットが可能である。

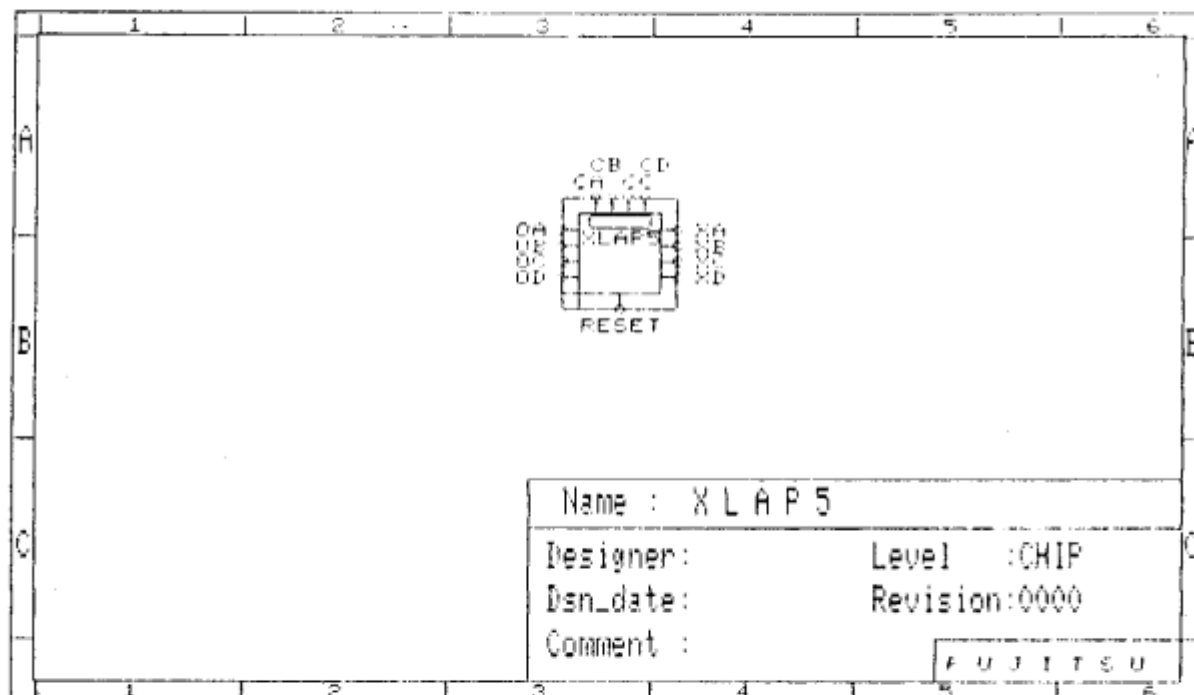


図 41: XLAP5 モジュールの端子名

3.4.10 UDAP4モジュール

図 42に UDAP4の端子名を、図 43に UDAP4の回路図を示す。

UDAP4モジュールは、後続段への *REQ*、*LREQ* 信号を生成する部分で、マスターチップとして動作する場合は内部で生成された信号を出力し、スレーブチップとして動作する場合は単なる一方方向のスイッチとなる。

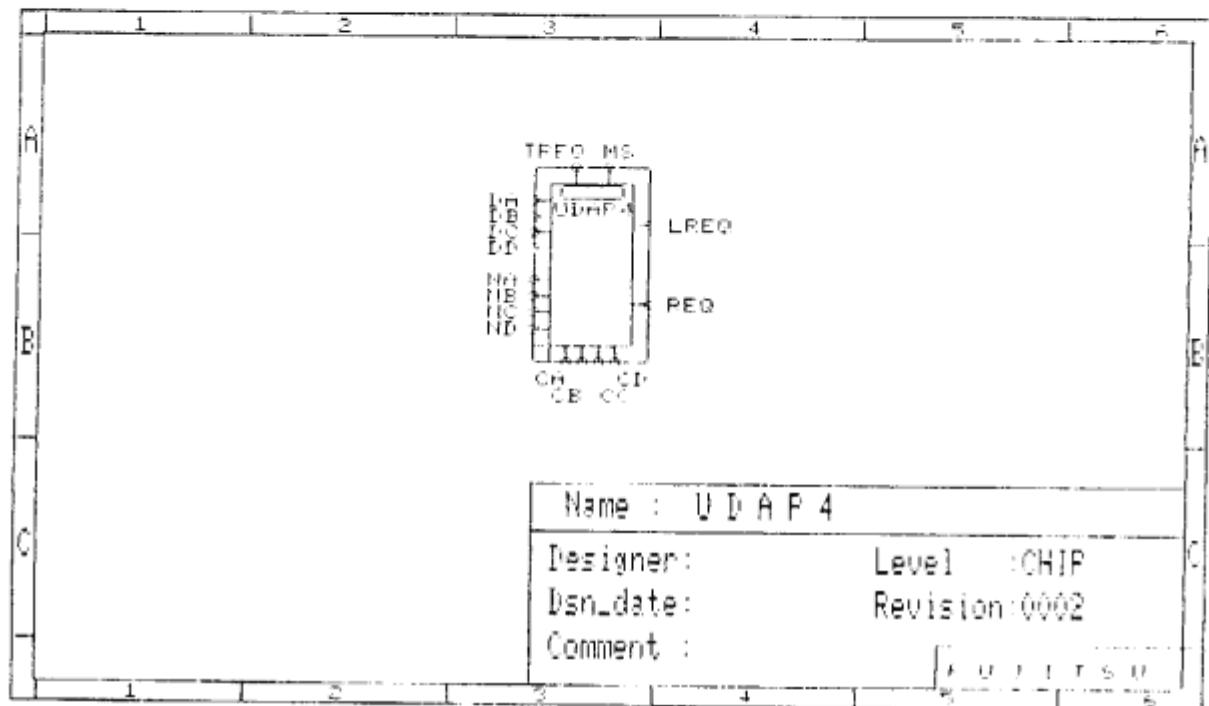
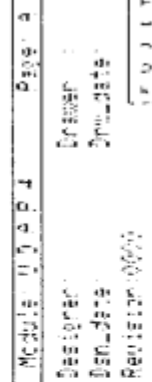


図 42: UDAP4モジュールの端子名



$\frac{1}{2} \frac{1}{2} \frac{1}{2} \frac{1}{2}$

図 44に UDAP5 の端子名を、図 45に UDAP5 の回路図を示す。

UDAP5 モジュールは、マスターチップとして動作する場合は当アービトレーション部が生成した接続情報信号を、スレーブチップとして動作する場合は外部から入力された接続信号をデコードしてチップ内の他のブロックに分配する働きを持つ。

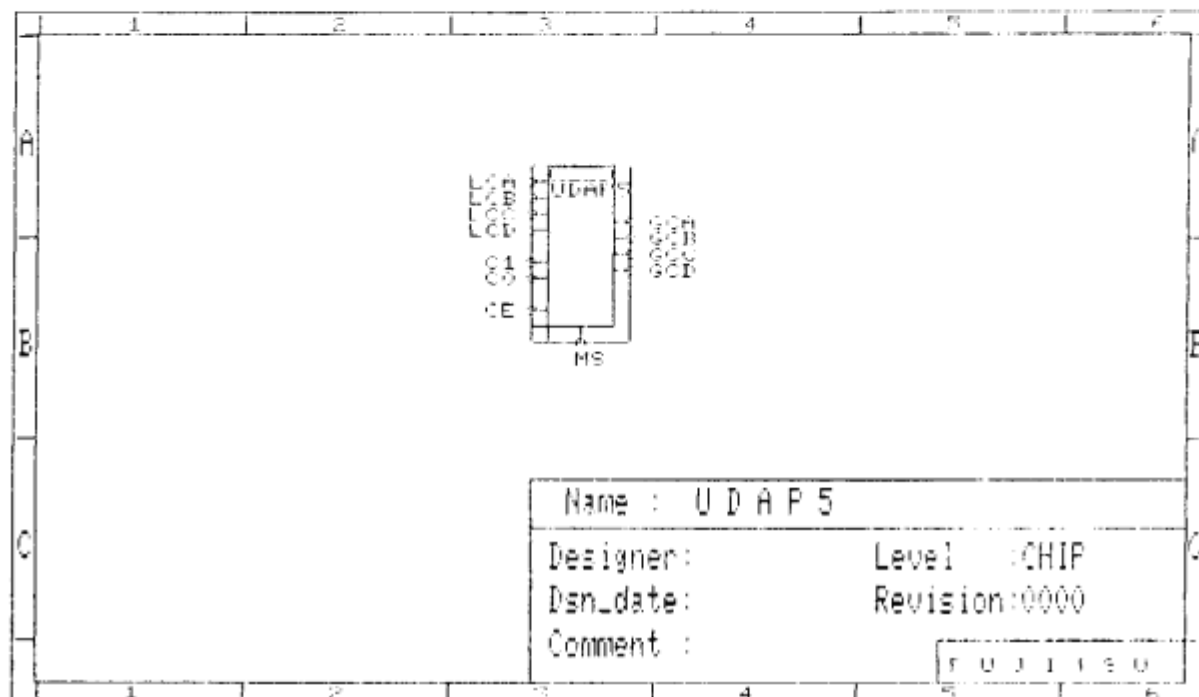


図 44: UDAP5 モジュールの端子名

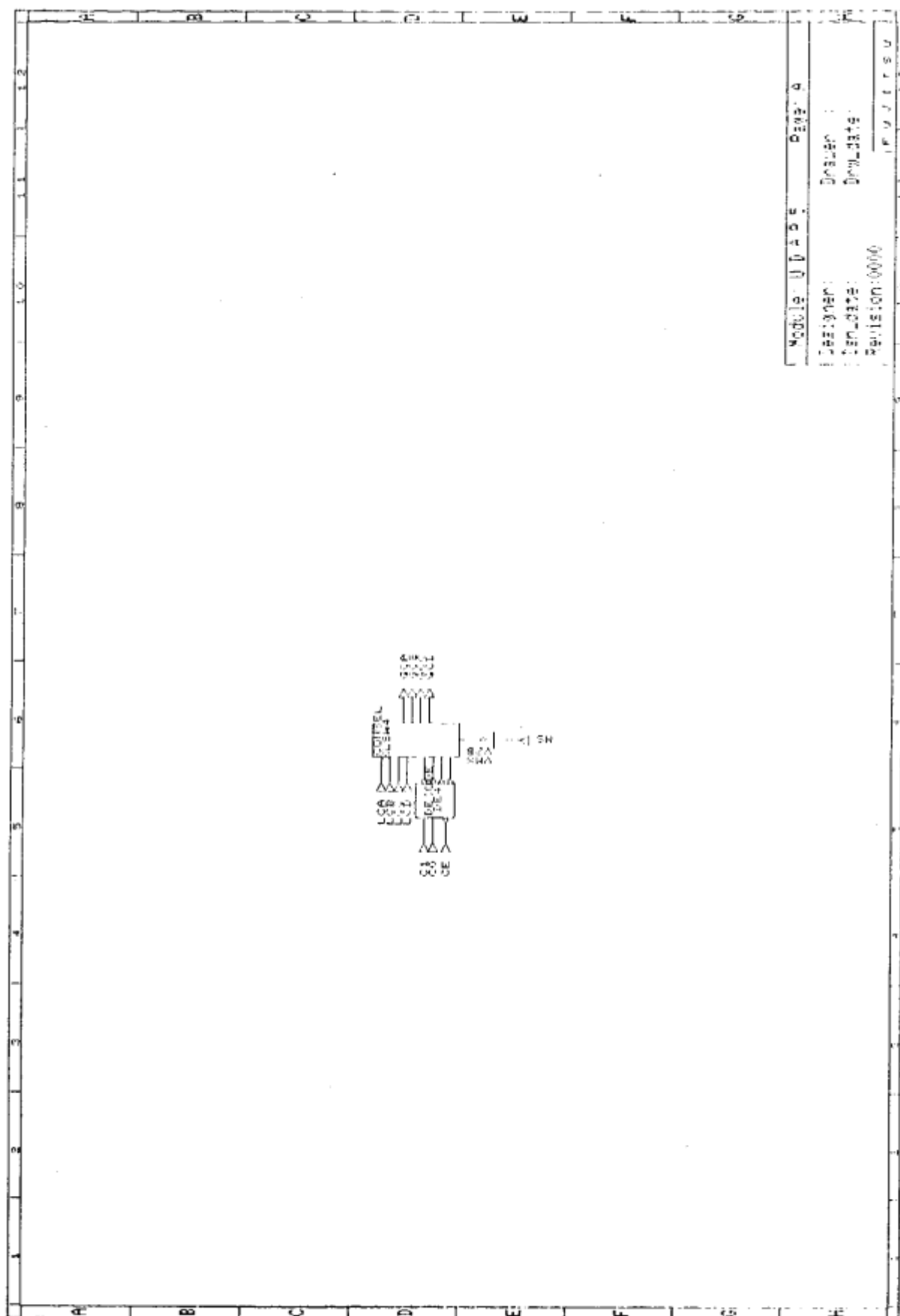


図 45: UDAP5 モジュールの回路図

3.4.12 XLMSC モジュール

図 46に XLMSC の端子名を示す。

XLMSC モジュールは、マスターチップ内部で生成された接続情報信号を外部に出力するためにエンコードするとともに、外部に出力する双方向バッファの方向制御信号を生成する。接続情報信号のバッファは、マスターチップでは出力、スレーブチップでは入力になる。

接続情報のエンコード出力は、

CA	CB	CC	CD	CO ₁	CO ₀	CO _E
1	1	1	1	1	1	1
0	1	1	1	0	0	0
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	1	1	0

で、バッファの方向制御信号は

MS	XSM	CO _D
1	1	0
0	1	1
*	0	1

(ここで、* は "Don't care" を表す。)

と表される。XSM 端子を 0(Low) にすると、スイッチングユニットチップ全体の双方向バッファ出力がすべてハイインピーダンス状態になる。

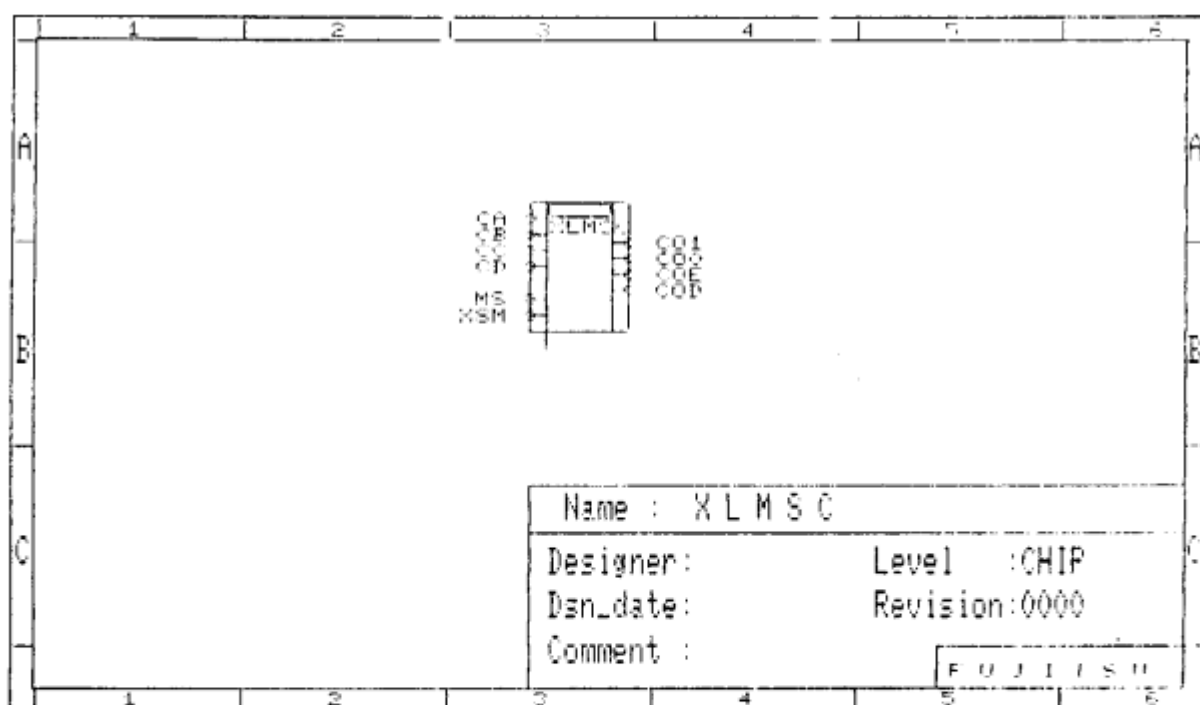


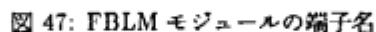
図 46: XLMSC モジュールの端子名

負荷モニタは、未接続の出力ポートから入力される 8 ビットデータを負荷を示す値とみなして比較し、最小値が入力されている出力ポートの情報をルーティングのためにルーティング部に送るとともに、その最小値を前段のスイッチングユニットチップあるいはプロセッサに知らせるためにクロスバースイッチに送る。負荷情報の更新による負荷モニタの状態変化は非同期に行なわれるため、この変化による不適当な接続の確率は最小に抑えられる。

負荷モニタは、最上位モジュール UPL に収納されている。

図 47に FBLM の端子名を、図 48に FBLM の回路図を示す。

FBLM モジュールには出力ポートに現れるデータがそのまま入力されるので、まず4つの UDLM3 モジュールで接続中の出力ポートについては負荷情報を 11111111(最大値)にセットして比較の対象から外す。4つの負荷情報は6つの8ビットコンパレータ(XLCOMP モジュール)により同時に比較され、比較結果が XLLM1 モジュールでデコードされる。XLLM1 モジュールの出力は、最小のものが複数あった時にそれらすべてを最小として報告するので、UDLM2 モジュールでその中の一つを適当に選択してルーティング部に送る。またこの情報を用いて8ビットの4-1 スイッチである UDLM1 モジュールを制御して、負荷量の最小値をクロスバースイッチに送る。ただし、スレーブ動作時には XLCUT モジュールにより、この最小値は常に0になる。



3.5.2 UDLM1 モジュール

図 49に UDLM1 の端子名を、図 50に UDLM1 の回路図を示す。

UDLM1 モジュールは 8 ビットの 4-1 スイッチであり、4つの負荷量のうちの 1つを選択するものである。実際にはスイッチの制御信号はコンパレータ出力から作成され、最小の負荷量が出力されるようコントロールされる。制御端子 CA、CB、CC、CD はそれぞれ出力ポート A、B、C、D に対応し、入力は負論理である。

複数の制御端子がアクティブになった場合には、それぞれに対応する 8 ビットデータの OR が出力される。

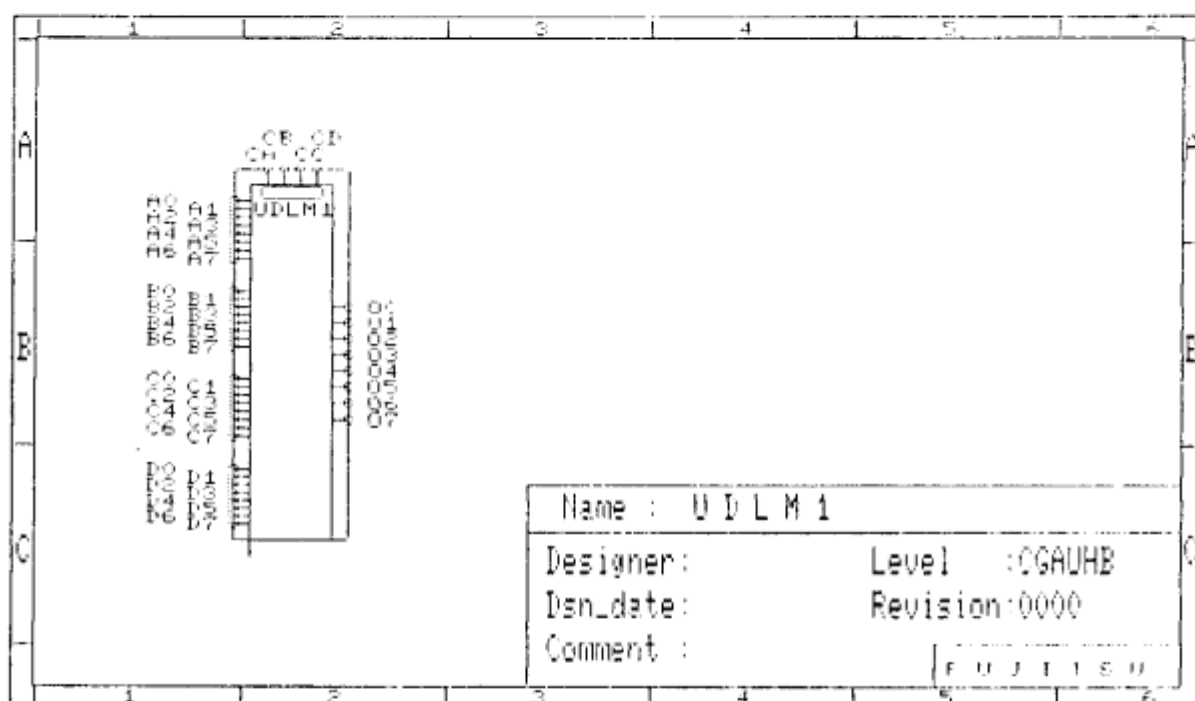


図 49: UDLM1 モジュールの端子名

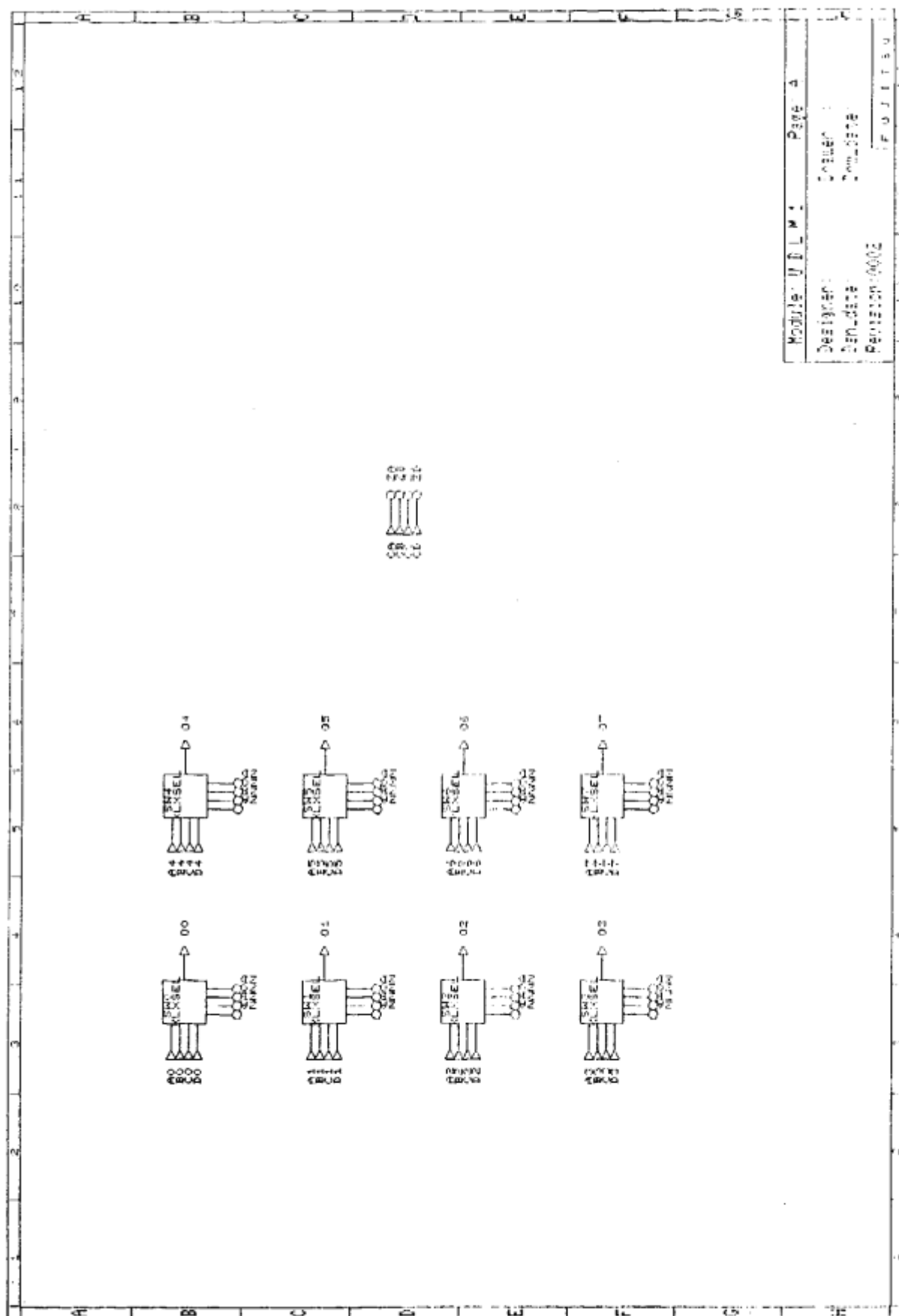


図 50: UDLM1 モジュールの回路図

3.5.3 UDLM2 モジュール

図 51に UDLM2 の端子名を、図 52に UDLM2 の回路図を示す。

UDLM2 は、4つの負荷情報の比較結果のなかに複数の最小負荷量があった場合に、それらをアービトレーションするモジュールで、図の左上にある2ビットのカウンタ、および、残りの部分を占める優先順位デコーダから構成され、ラウンドロビン方式のアービトレーションを行なう。

具体的には、カウンタの4つの値に応じて、4つ負荷情報の優先順位が、

A > B > C > D

↓

B > C > D > A

↓

C > D > A > B

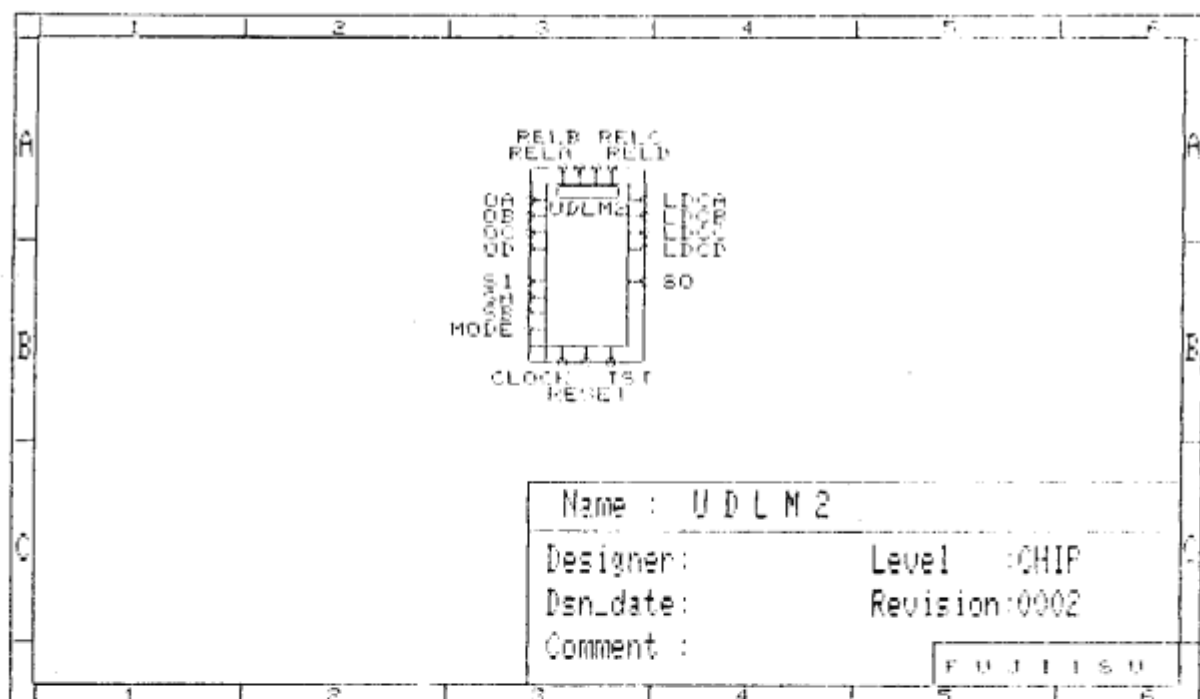
↓

D > A > B > C

↓

(最初に戻る)

と変化する。



3.5.4 UDLM3 モジュール

図 53に UDLM3 の端子名を、図 54に UDLM3 の回路図を示す。

UDLM3 モジュールは、対応する出力ポートが接続中だった場合にそのポートに現れたデータを比較の対象から外すために強制的に 11111111(最大値)にするスイッチである。

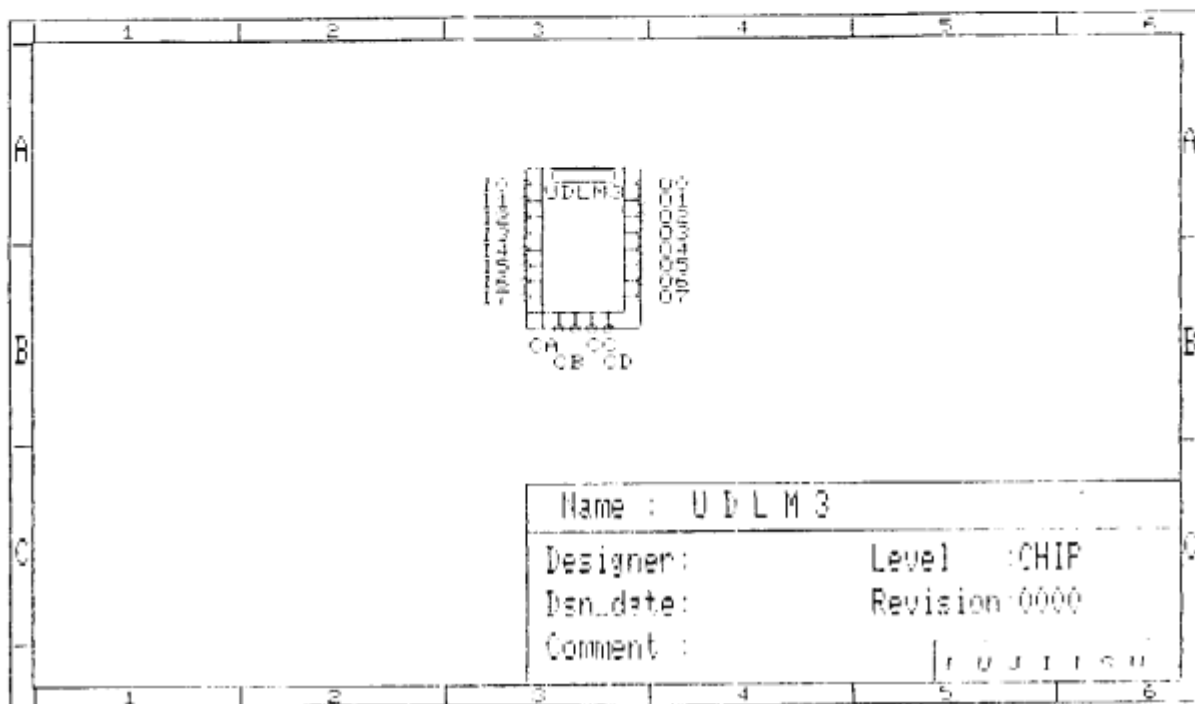


図 53: UDLM3 モジュールの端子名

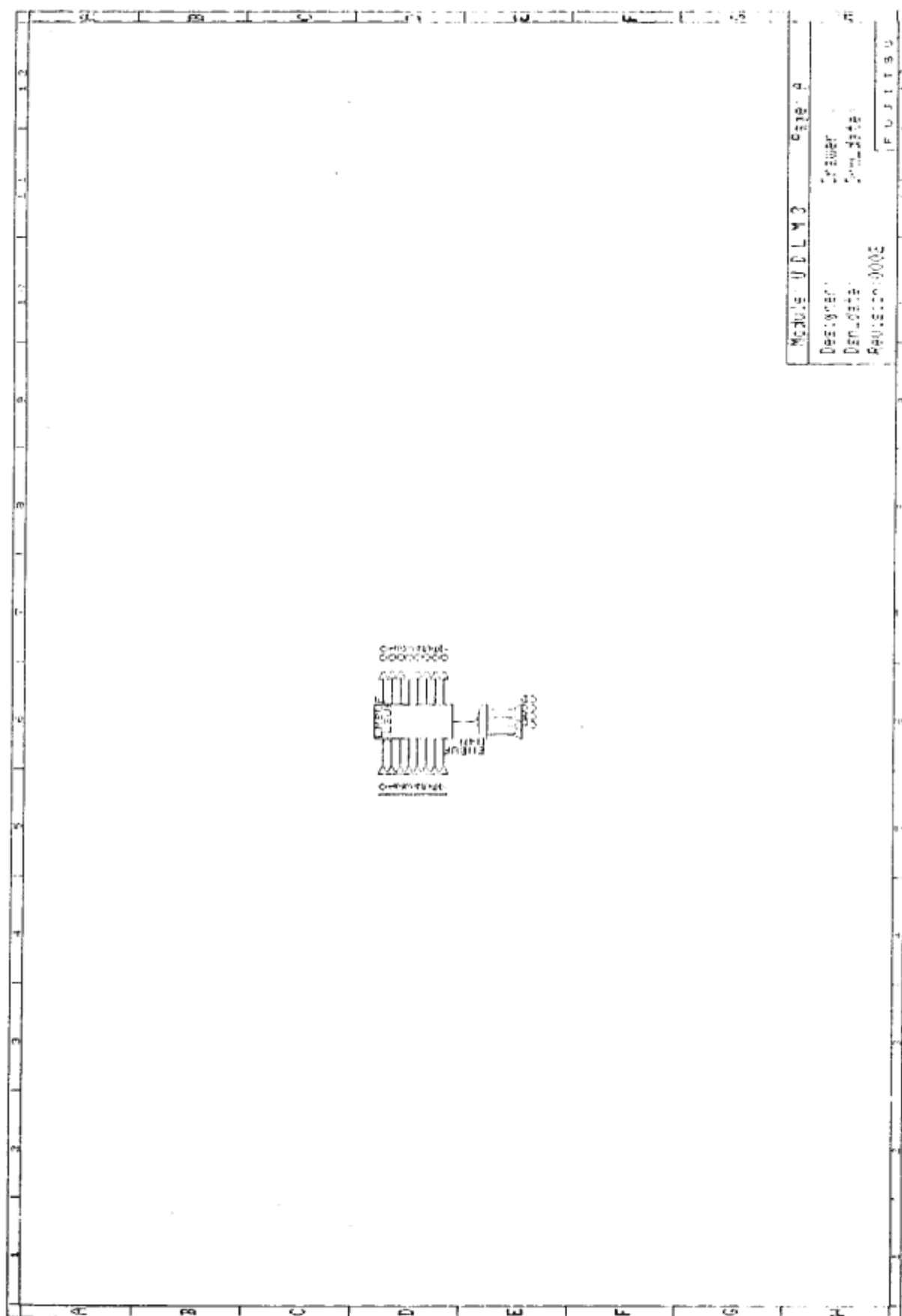


図 54: UDL M3 モジュールの回路図

3.5.5 XLLM1 モジュール

図 55に XLLM1 の端子名を示す。

XLLM1 モジュールは、6つのコンパレータの比較結果から最小の負荷情報が入力されている出力ポートを示す信号を生成するものである。従って、XLLM1 モジュールの論理は次のように表される。

$$\begin{aligned} OA &= \overline{AGTB} \cdot AEQB + \overline{AGTC} \cdot AEQC + \overline{AGTD} \cdot AEQD \\ OB &= AGTB \cdot AEQB + \overline{BGTC} \cdot BEQC + \overline{BGTD} \cdot BEQD \\ OC &= AGTC \cdot AEQC + BGTC \cdot BEQC + \overline{CGTD} \cdot CEQD \\ OD &= AGTD \cdot AEQD + BGTD \cdot BEQD + CGTD \cdot CEQD \end{aligned}$$

出力は負論理であるが、論理式は内部の論理をそのまま記述している。この論理式から明らかなように、同一の最小負荷量が複数入力されていた場合、それらに対応する出力端子はすべてアクティブになる。

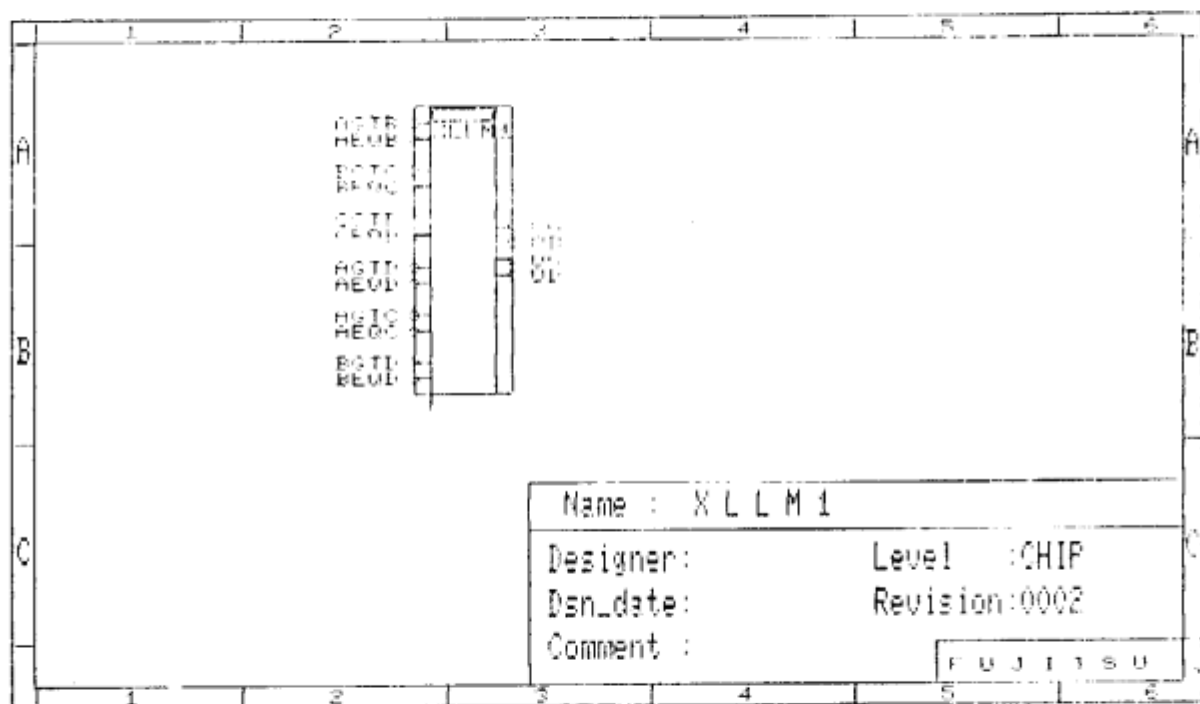


図 55: XLLM1 モジュールの端子名

3.6 コミュニケーション制御部

コミュニケーション制御部は、*STB*、*DIR*、*REL*、*ACK* の4つの制御線のための一方向のクロスバースイッチと、双方向のデータ線のバッファの方向制御用モジュール UDCCSN から構成される。このうち、*STB*、*DIR*、*REL* は入力ポートから出力ポートへのデータ線であり、*ACK* は出力ポートから入力ポート方向へのデータ線である。

なお、*DIR* に対応する信号線はこのブロック内では *RW* と記述されている。

コミュニケーション制御部は、最上位モジュール UPR に FBCCP モジュールが、また4つの最上位モジュールに UDCCSN モジュールがそれぞれ収納されている。

3.6.1 FBCCP モジュール

図 56 に FBCCP の端子名を、図 57 に FBCCP の回路図を示す。FBCCP モジュールは、入力ポートから出力ポート方向 (以下順方向と呼ぶ) への一方向クロスバースイッチである UDCCP1 モジュールと、出力ポートから入力ポート方向 (以下逆方向と呼ぶ) への一方向クロスバースイッチである UDCCP1 モジュールから構成されている。

図中で、3つの順方向用スイッチは *STB*、*DIR*、*REL* 用であり、残った一つの逆方向スイッチは *ACK* 用である。

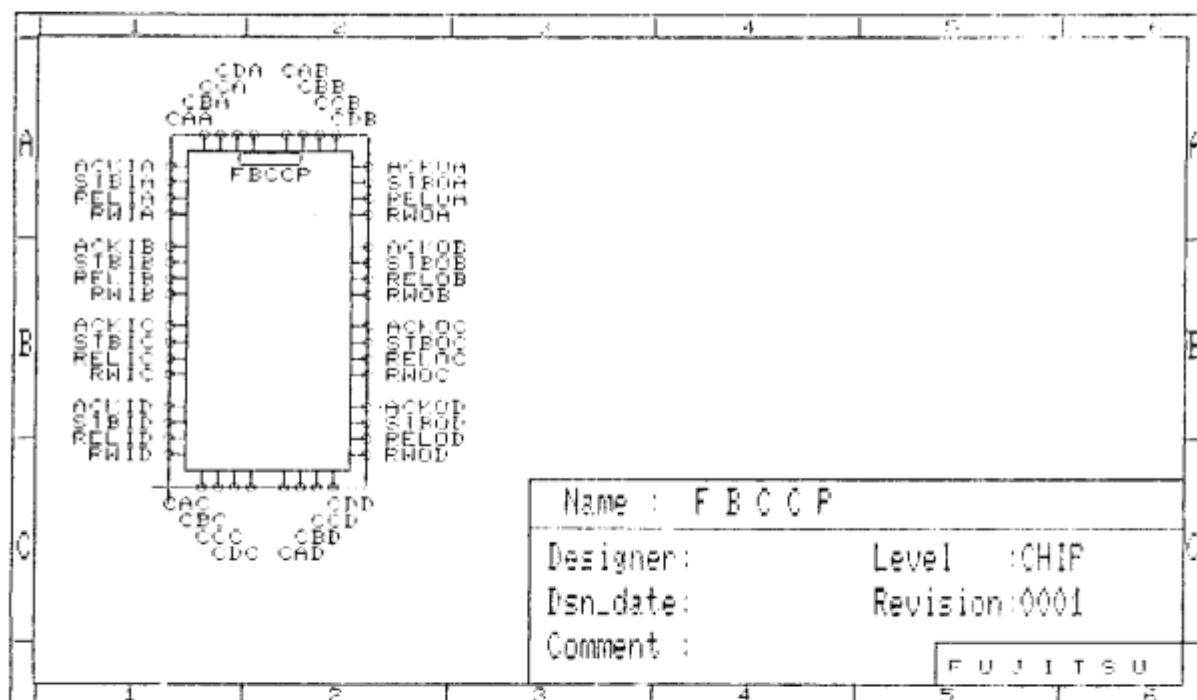


図 56: FBCCP モジュールの端子名

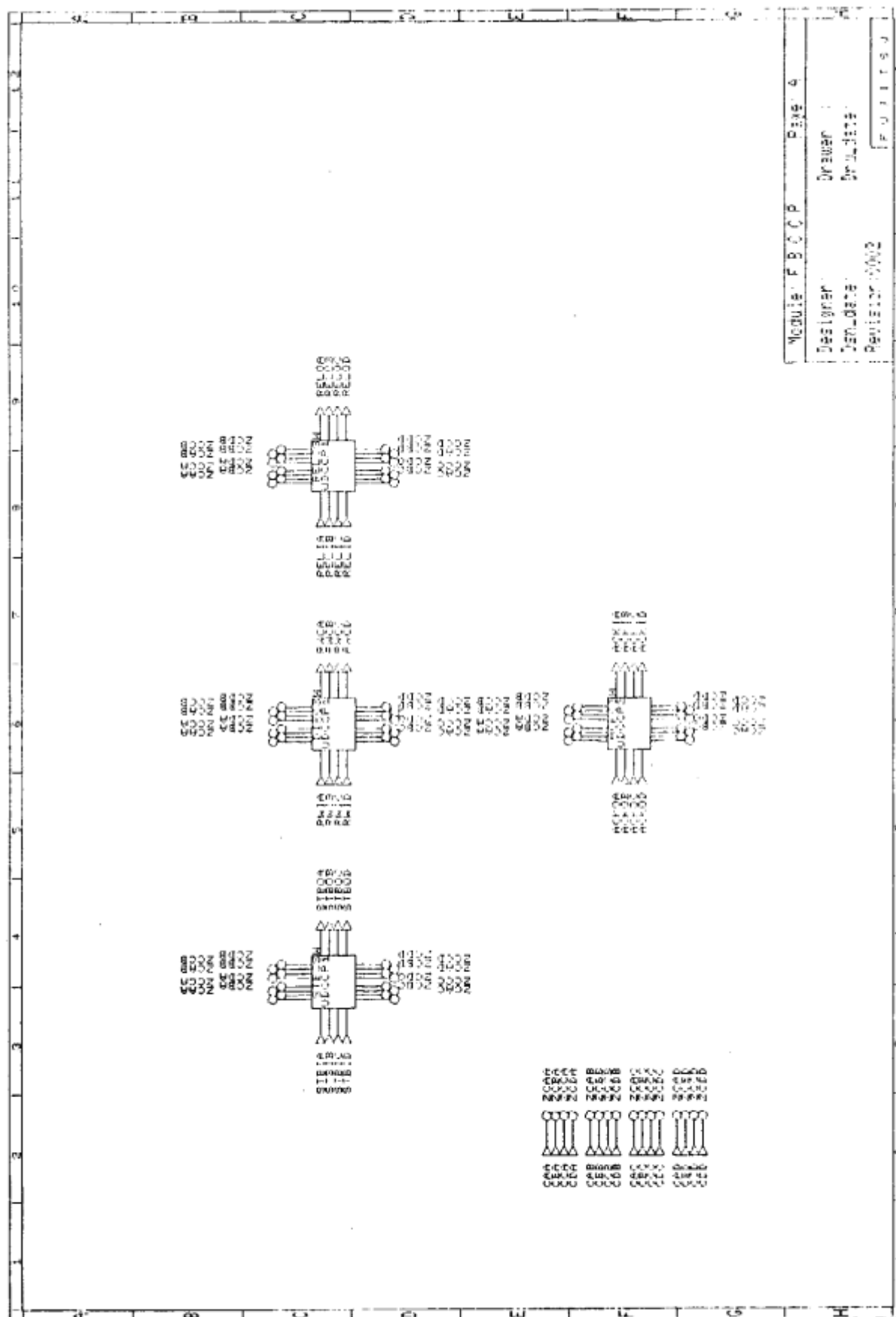


図 57: FBCCP モジュールの回路図

3.6.2 UDCCP1 モジュール

図 58に UDCCP1 の端子名を、図 59に UDCCP の回路図を示す。

順方向用の 1 ビット 4×4 クロスバースイッチで、クロスバースイッチ部の UDCSW モジュールの順方向用の部分と同じものである。

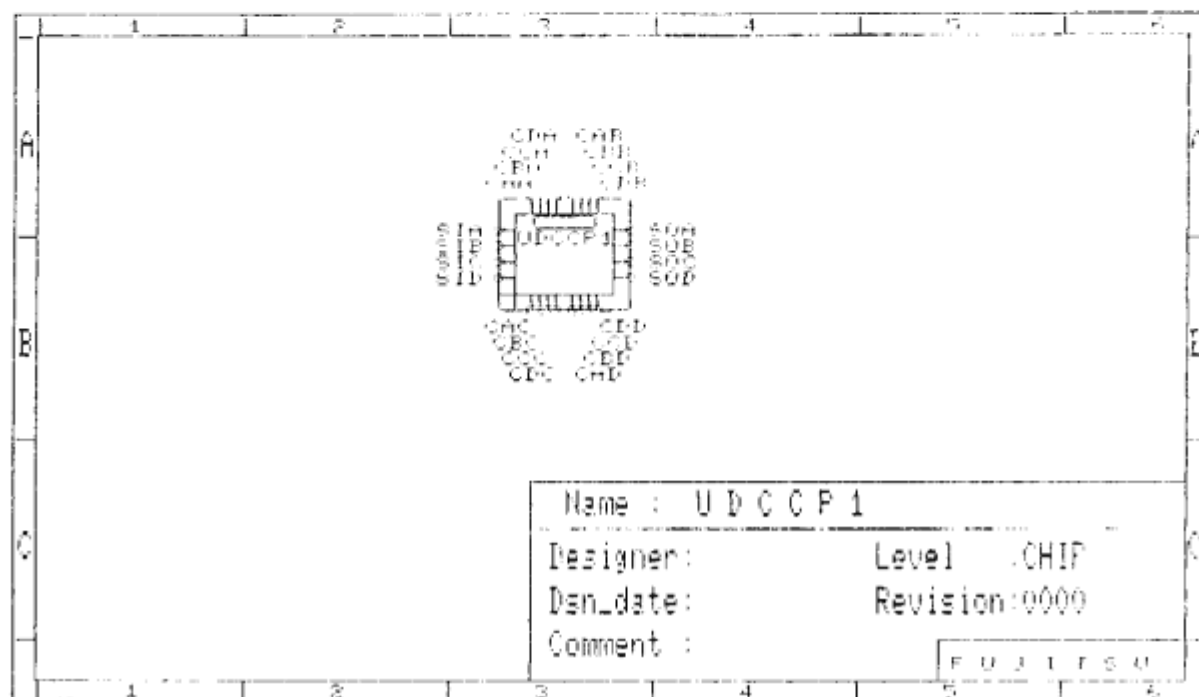
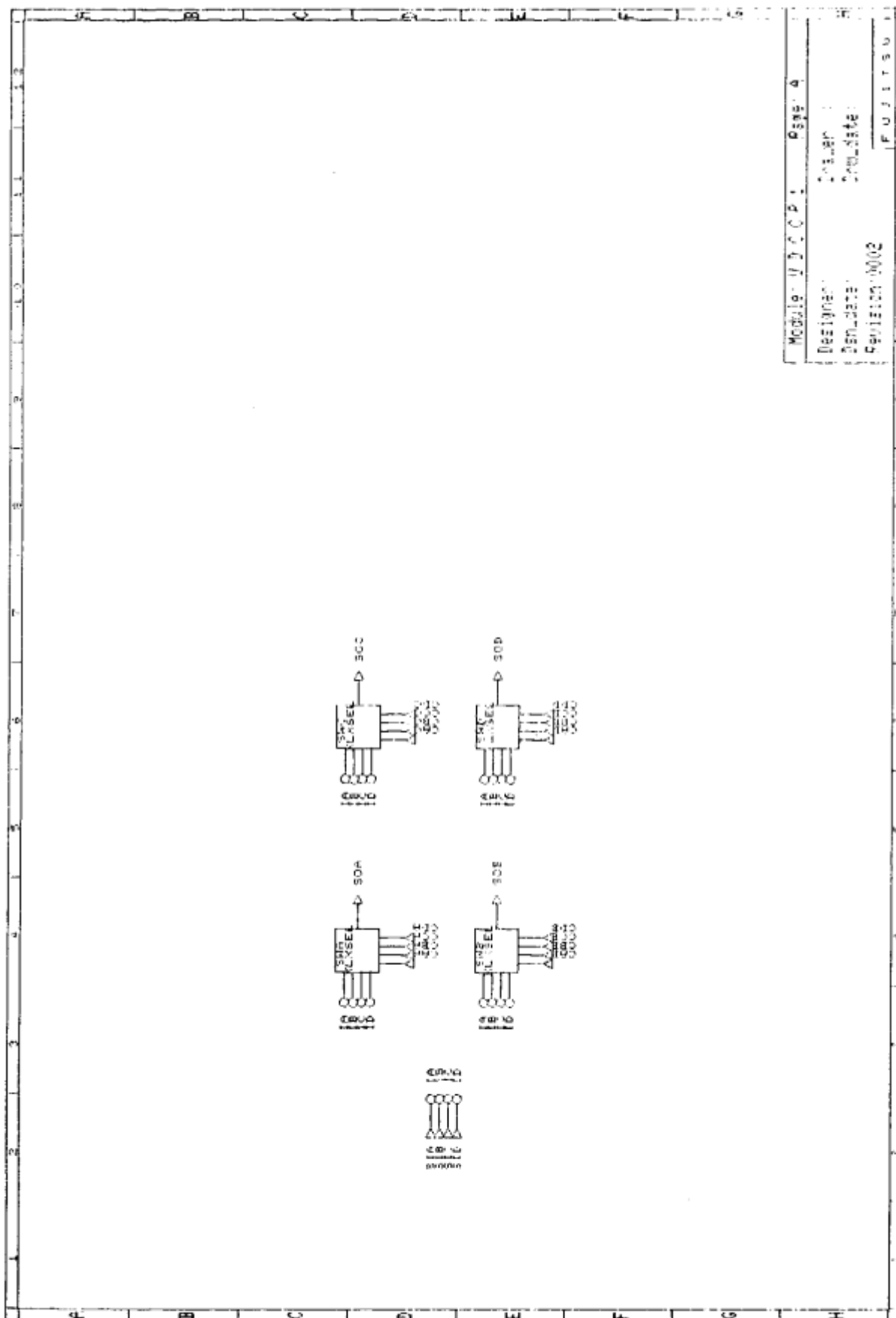


図 58: UDCCP1 モジュールの端子名



Module: UDCCP1	Page: 4
Designer:	Designer:
Desig. date:	Rev. date:
Revision: 0002	PUJISU

図 59: UDCCP1 モジュールの回路図

3.6.3 UDCCP2 モジュール

図 60に UDCCP2 の端子名を、図 61に UDCCP2 の回路図を示す。

逆方向用の 1 ビット 4×4 クロスバースイッチで、クロスバースイッチ部の UDCSW モジュールの逆方向用の部分から負荷情報を出力する部分を除いたものである。

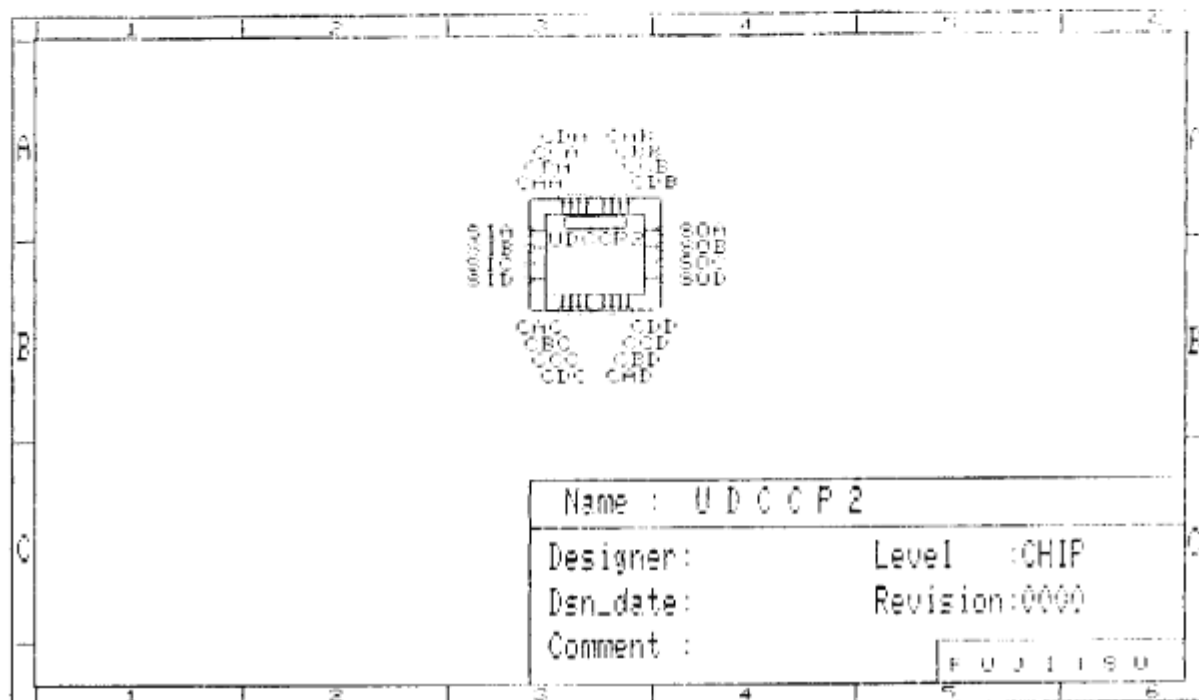


図 60: UDCCP2 モジュールの端子名

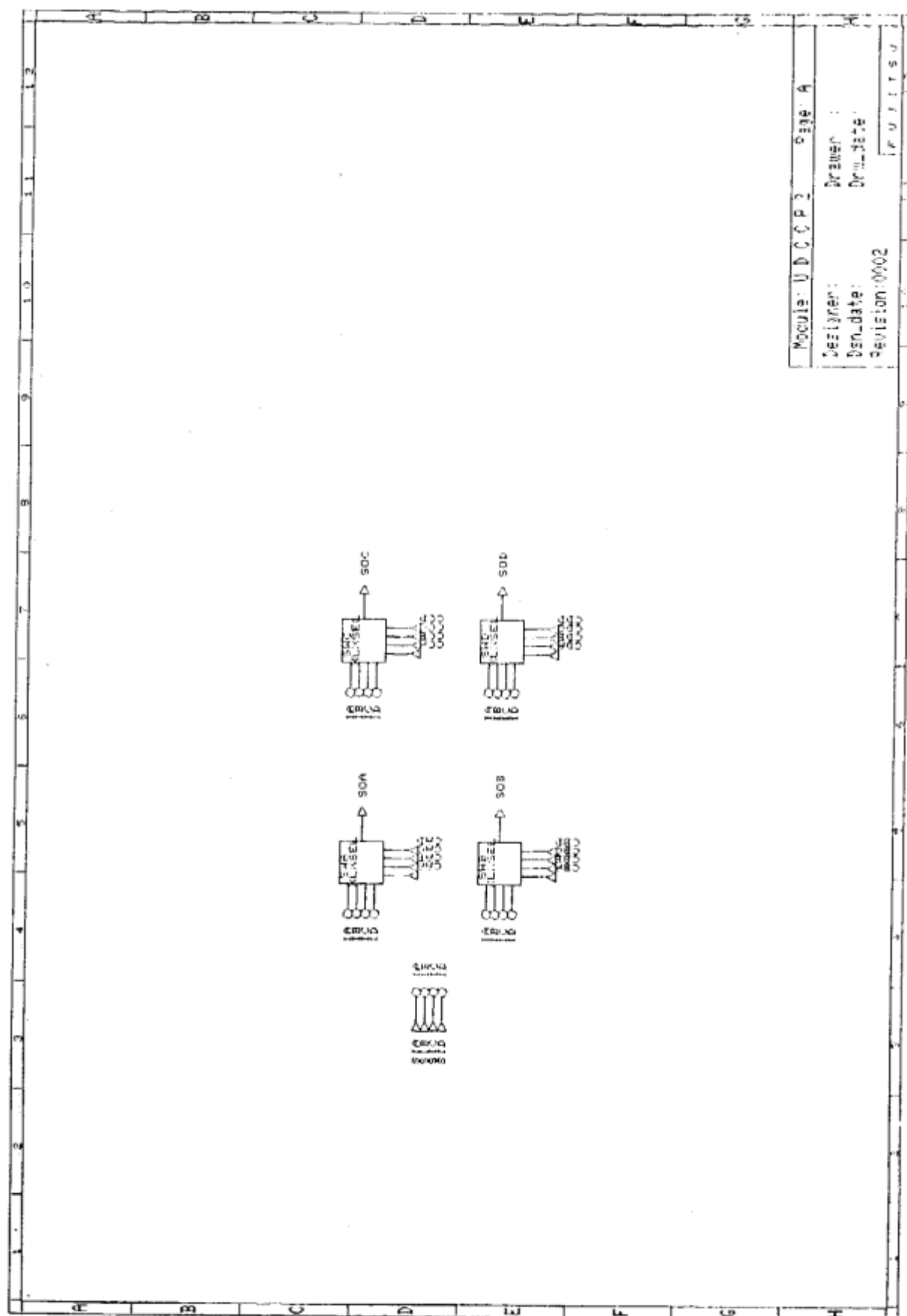


図 61: UDCCP2 モジュールの回路図

3.6.4 UDCSN モジュール

図 62に UDCSN の端子名を、図 63に UDCSN の回路図を示す。

UDCSN モジュールは、双方向のデータ専用のバッファの方向制御信号を生成するものである。入力ポートは、入力されている *DIR* 信号がそのまま反映される。一方出力ポートは、未接続時は負荷情報を入力するために入力状態になっており、接続時は接続もとの入力ポートと反対の方向 (入力ポートが入力なら出力に、出力なら入力に) になる。

図中の 4 つの *XLCSN2* モジュールが出力ポート側の双方向バッファの方向制御信号を生成する部分で、中央の 4 つのインバータが入力側の双方向バッファ用の方向制御信号を生成する。

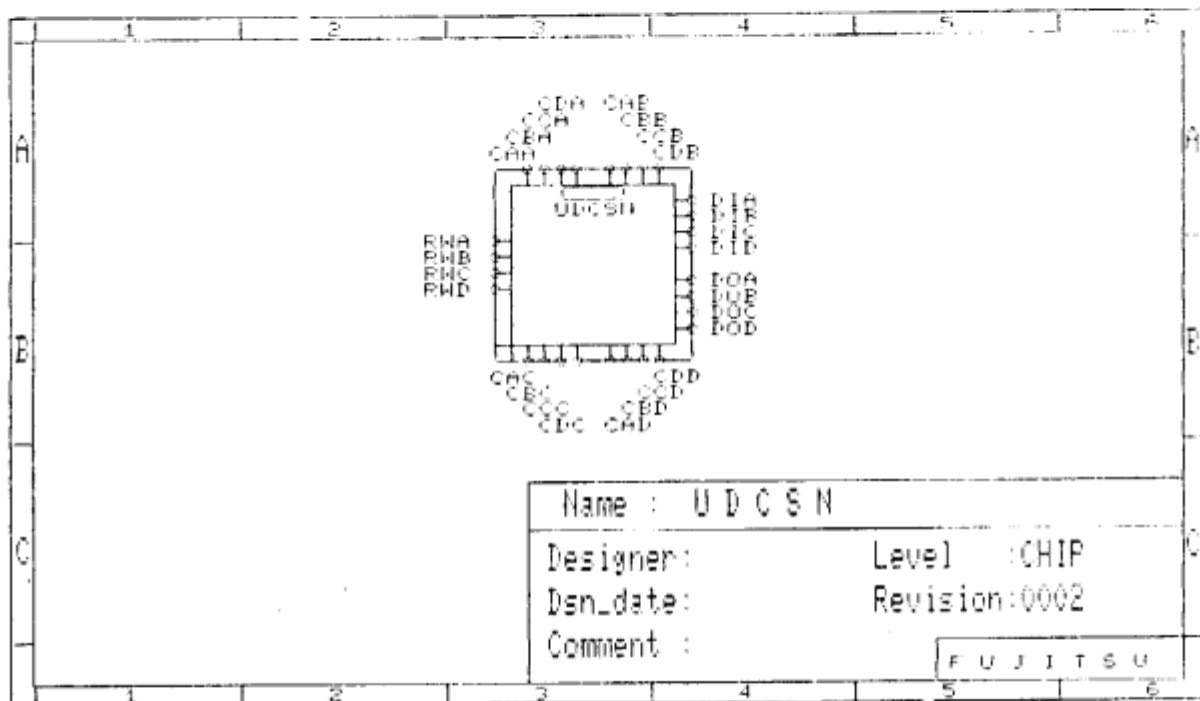


図 62: UDCSN モジュールの端子名

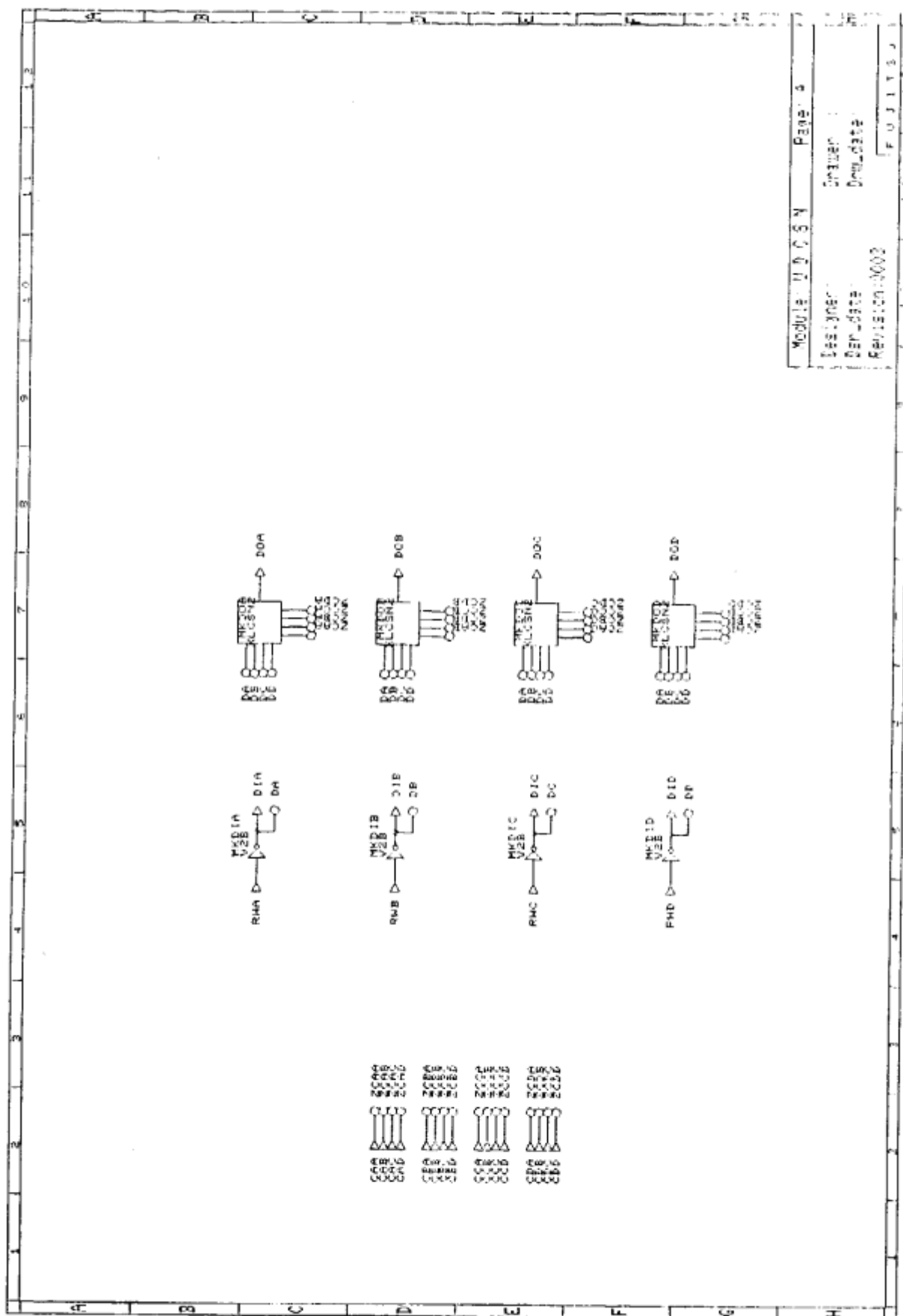


図 63: UDCSN モジュールの回路図

参考文献

- [1] 富士通半導体デバイス, “CMOS ゲートアレイデザインマニュアル”, 富士通株式会社, 1987.
- [2] 小池, 山内, 野田, 田中, “高並列推論エンジン実験環境 PIEEE - 全体構成-”, 第34回 情報処理学会 全国大会, 4P-3 (1987).
- [3] 野田, 小池, 山内, 田中, “高並列推論エンジン実験環境 PIEEE - 推論ユニット-”, 第34回 情報処理学会 全国大会, 4P-4 (1987).
- [4] 山内, 小池, 野田, 田中, “高並列推論エンジン実験環境 PIEEE - 自動負荷分散ネットワーク-”, 第34回 情報処理学会 全国大会, 4P-5 (1987).
- [5] 小池, 田中, “PIEEE のアクセス衝突を低減させるデータ配置機構”, 第35回 情報処理学会 全国大会, 3C-10 (1987).
- [6] 小池, 島田, 朝海, 田中, “高並列推論エンジン実験環境 PIEEE 上への FLENG の実装”, 第36回 情報処理学会 全国大会, 1D-7 (1988).
- [7] 高橋, 小池, 山内, 田中, “高並列推論エンジン PIE の LSI 版スイッチングユニットの設計”, 第36回 情報処理学会 全国大会, 1D-9 (1988).
- [8] Nilsson M. and Tanaka H., “FLENG Prolog - Turning supercomputers into Prolog machines”, Proc. Logic Prog. Conf. '86, Tokyo, June, 1986.
- [9] Nilsson M. and Tanaka H., “FLONG - A Portable Software System for the Inference Machine PIEEE”, 第35回 情報処理学会 全国大会, 3C-10 (1987).
- [10] 坂井, 小池, 田中, 元岡, “動的負荷分散を行なう相互結合網の構成”, 情処論, Vol.27, No.5, 1986.