

Layout situation memory objectに記憶される。

(o3) Parallel placement process control object

ゾーン個数分の部分問題をLower placement & routing objectとして生成した後、それらに機器配置を並列実行させる。仮端子配置が最後に行われる。Rule objectはLayout situation objectに記憶された既配置機器の配置状況に応じた機器配置候補地の生成に、Constraint evaluation objectは候補地からの適正配置位置の選択にそれぞれ用いられる。Slide adjustment objectは既配置機器の移動による配置スペース確保を行う。

(o4) Parallel routing process control object

Lower placement & routing objectを再度並列実行させ、ゾーン内の配置済み機器ケーブルの接続点や仮端子の間に電源線や信号線を敷設する。

Inter device routing objectは二点間をし字パターン等で結ぶ機能を持つパターンルータである。

(o5) Upper routing processing object

ゾーン境界近辺の仮端子間を配線し、配線全体を完成させる。

(o6) Geometrical processing object

機器配置処理などで必要となる計算幾何学演算を実行する。

3. レイアウト実験

3.1 実験結果の一例

約40個の機器からなる計算機システム配置結果をFig. 2に示す。5個の部分問題を並列処理している。配線結果をFig. 3に示す。協調モードcolでの並列配置処理のタイムチャートをFig. 4に示す。

3.2 結果の考察

制約c1-c7を満たす結果を得ている。協調モードcolでは部分問題間の制約満足化のため待ちが発生し(Fig 4のw)並列化効率の低下やデッドロック現象を招く。機器間距離の横に制約満足化処理に強い前後順序関係が無い場合には協調モードcolを用いて、後続機器間で制約を満たせることによりこれらの問題を解決できる。本システムではこの方式を用いて並列化効率を向上させている。

配線方針

本研究の機会を与えていただいた藤井裕一第五研究室長ならびに当研究所石原孝一郎第五部長に感謝します。

参考文献

- (1) Watanabe, T. et al. : Design of an Expert System for Computer Room Layout, Transaction of Information Processing Society of Japan, Vol. 26, No. 5, pp. 926-935 (1985)
- (2) Watanabe, T. et al. : Computer Room Facility Layout in ESP, Proc. of the Third Japanese-Swedish Workshop, pp. 13-14 (1985)

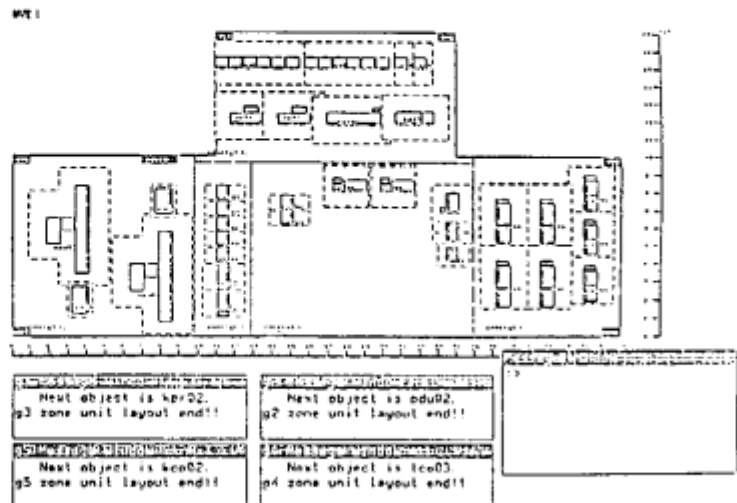


Fig. 2 Devices Placed

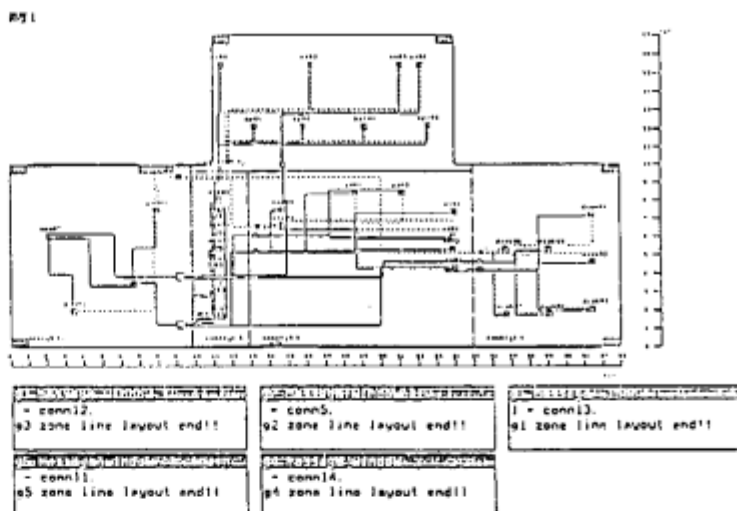


Fig. 3 Cables Routed (Bold:Signals & Dotted:Powers)

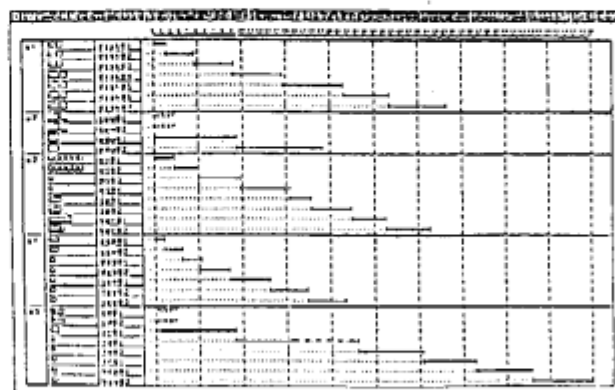


Fig. 4 Device Placement Time Chart