

TM-0578

回路の再利用設計ES

松本祐介（富士通）

1. 目的・背景

近年のVLSIの高集積度化に伴い、LSIチップに収めることのできる回路は高機能化、大規模化が進んでいる。そのため、設計期間・設計コストの増加は莫大なものとなり、コンピュータによる設計支援が必要不可欠なものとなっている。ここではその一部である、カウンタ等のデータバス系機能ブロックの設計システムについて述べる。

データバス系の機能ブロックの設計は、制御系の回路と異なり、次のような特徴を持つ。

- ①多くの場合、以前に設計されたものと類似の、細部の機能のみが異なる回路の設計を行う。全く異なる新しい構成法を用いて回路を設計することはあまりない。
- ②論理式の簡単化・多段化等のアルゴリズム的な手

法を用いて設計を行っても、人手による設計ほどの高い品質は望めない。

このような理由により、熟練設計者の知識や過去の設計例を利用して設計を行う、知識システムの手法が有効であると思われる。

2. 再利用設計の手法

過去の設計知識を活用するためのアプローチとしては次の2つのものが考えられ、(1)については既に試みられている¹⁾。

- (1) 回路そのものでなく、回路の構成法や設計手続きを知識として蓄えておく。
- (2) 過去に設計された回路と、その回路に関する修正知識を登録しておく。仕様を満たす回路が登録されていればその回路をそのまま用いる。仕様に

合わない時は修正知識を用いて回路を修正する。

ここで述べる設計システムは(2)のアプローチを用いている^{2) 3)}。このアプローチでは、もととなる回路データが高品質ならば、ある程度の品質が保証される反面、回路の修正知識の適用できる範囲が狭ければ、設計できる回路は限られたものとなる。そのため、できるだけ、汎用性のある知識を用いることが望ましい。そこで、基本となる修正手続きを幾つか定め、その手続きの適用の仕方を知識として持たせるようにした。現在は次の2つの手続きが実装されている。この2つの手続きは共に回路の入出力端子を操作するものであり、回路の内部構成に依らず適用可能である。

①端子を削除、もしくは定数値へ固定することによって、余分な機能の削除を行う処理。

- ②複数回路の端子を共有することによって、部分的な機能を持つ回路から所望の機能をもつ回路を合成する処理

3. システム構成

本システムは、現在、P S I 上にE S Pを用いて実装されている。図 1 にシステム構成を示す。システムは大きく分けて、ライブラリ管理部、回路修正部、マン・マシン・インターフェース部の3つの部分からなる。

3.1. ライブラリ管理部

過去に設計された回路を登録した回路ライブラリと、それに付随した操作を行う処理部からなる。回路ライブラリに対する操作としては、機能名をキーとした検

索操作および、ライブラリの登録・削除・修正等のメンテナンス操作がある。

3.2. 回路修正部

修正知識と、その知識をもとに修正処理を行う手続き部分からなる。修正処理としては、前述のように、2つの手続きが実装されている。

①機能削除処理

出力端子の削除、もしくは、入力端子の定数値への固定を行うことによって、活性化されなくなった部分回路を削除する処理を行う。結果として、もととなる回路の余分な機能を削除する。

②機能合成処理

複数の回路を合成して1つの回路とする。合成を行う時に、共通に使用できる部分回路を見つけだし、共

用することによって回路の削減を図っている。

③修正知識

所望の回路を得るために、どの手続きをどのように適用するかを記述した知識。

例) 使用する手続き： 機能削除処理

適用方法： [端子U/Dを1に固定]

元の回路： アップ・ダウンカウンタ

生成される回路： アップ・カウンタ

3.3. マン・マシン・インターフェース部

回路の入力を行うための回路のエディタと、回路図を自動的に配置・配線して表示するモジュールよりなる。回路エディタは、最終的な回路を手手により修正する場合や、回路ライブラリの登録に用いられる。また、表示モジュールはシステムが自動的に修正した回

路を表示して設計者に示す時に用いられる。データベース系機能ブロックの完全自動設計は、合成回路の性能を十分に制御する技術が確立されていないこと等により、現在のところ困難であり、設計者が何らかの形でシステムと対話を行い、修正しなければならない場合も生ずる。そのため、このようなマン・マシン・インターフェースの操作性は、システムの性能を大きく左右する。

4. 実験結果

機能削除の例として、SN74LS169（4ビット・2進・アップ／ダウンカウンタ）相当の回路から、SN74LS161（4ビット・2進・アップカウンタ）とほぼ等価な回路を生成することができた。

また、機能合成の例として、SN74161（4ビット・

2進カウンタ)とSN74LS160 (4ビット・10進カウンタ)を部品回路として、この2つの機能を合わせ持った回路を合成した。表1に回路のゲート数、及び回路の面積の概算値を示す。もととなった部品回路の面積を合わせたものより、約4割程度、面積を縮小することができた。

5. 今後の課題

現在は、回路修正の方法としては、機能削除と機能合成の2種類のみが実装されているが、より実用的なシステムとするためには他の手続き(例えばビット幅の修正等)の実装と、その手続きに関する知識の獲得を行う必要がある。また、現在は評価用の試作システムであるので、回路ライブラリ・修正知識ともに、教科書的な簡単なものしか入っていないので、実際の回

路設計者からの知識収集や、知識獲得のための支援機能の充実も大きな課題である。

謝辞 この研究を進めるにあたって御支援頂いた I C O T 第五研究室藤井室長に深く感謝いたします。

参考文献

- 1) 高木 茂：A L U の論理合成法（設計手法ベース論理合成法）、設計自動化 24-7（1984.11.20）
- 2) 丸山 他：一般化／特殊化関係に基づく回路の再利用設計－手法－、36回情報処全大 pp.1905-1906
- 3) 松永 他：一般化／特殊化関係に基づく回路の再利用設計－試作システム－、36回情報処全大 pp.1907-1908

表1：機能合成を行った回路の面積評価

各ゲートの面積の概算値			部品となった回路				設計結果	
種類	入力数	面積	2進カウンタ		10進カウンタ		2進+10進	
			個数	面積	個数	面積	個数	面積
NOT	1	1	1	1	6	6	6	6
AND	2	2	9	18	10	20	15	30
	3	4	2	8	5	20	5	20
	4	6	1	6	1	6	2	12
	5	8	1	8	1	8	2	16
OR	2	2	4	8	2	4	7	14
	3	4	0	0	2	8	2	8
XOR	2	8	4	32	2	16	4	32
D-FF		21	4	84	4	84	4	84
合計			165		172		222	

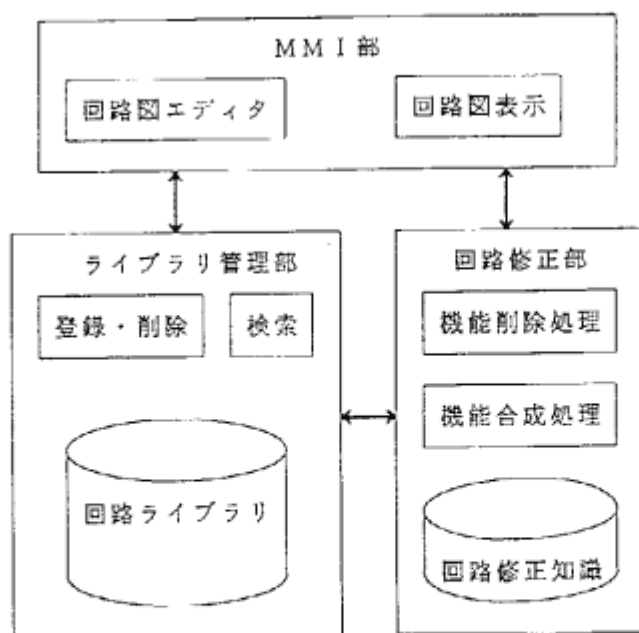


図1：システム構成