

TM-0574

アナログLSIブロック設計
エキスパートシステムの検討

森 啓(日本電気)

July, 1988

©1988, ICOT

ICOT

Mita Kokusai Bldg. 21F
4-28 Mita 1-Chome
Minato-ku Tokyo 108 Japan

(03) 456-3191~5
Telex ICOT J32964

Institute for New Generation Computer Technology

アナログLSIブロック設計 エキスパートシステムの検討

Expert System for Block Design of Analog LSI

森 啓
MORI, Hajimu

日本電気株式会社 C & Cシステム研究所
C&C Systems Research Laboratories, NEC Corporation

1. はじめに

LSIの設計、製造技術の進歩はめざましいが、それを支援するためのコンピュータ利用技術も著しく進歩している。しかしCADツールのは半はコンピュータの持つ高速演算能力を利用して、人手の単純作業の肩替わり、高速化をするものであり、人間の知恵や創造性に頼る部分は大きく残されている。

トランジスタ、抵抗等の素子レベルを考慮する回路設計においては、LSIの製造プロセス、回路構成手法等の深い理解に基づく高度な設計知識、ノウハウが必要である。とくにアナログ回路の設計においては、ディジタル回路と異なり、信号レベルの規格化が行われないため、この特徴が際だっており、設計者に要求される熟練度が高く、非熟練者と熟練者との設計品質の差が著しい。このため、このギャップを埋めるツールとしてエキスパートシステムに大きな期待がかけられている。

2. アナログLSI設計と知識処理

アナログICの種類はパワーICあるいはGHzの高周波用IC等の素子設計が中心になるものから、素子数400～1000を超えるシステムの色彩が強いLSIまでバラエティが多く、それぞれ設計の様相が大きく異なっている。またデバイス的にもバイポーラ、MOS/CMOSそれぞれ設計に応じた設計手法、設計ノウハウが存在する。ここでは典型的な例として、比較的設計過程がとらえやすく、作業イメージが明確なレイアウト設計過程における機能ブロッ

ク設計を取上げることにした。デバイスとしては、アナログLSIでは中心的なデバイスであるバイポーラを取上げる。バイポーラは素子間分離する必要があるために、素子が専有する領域が明確であるという特徴がある。このために比較的単純なモデルでの知識の展開が可能である。

機能ブロックは40～50素子からなるLSIの構成要素であるが、ディジタル回路のように標準ブロックをライブラリ化し、繰り返し使用されるということはあまりなく、その都度カスタム設計されるのが通常である。

アナログLSIの設計は、回路設計とレイアウト設計とに一応区別することが出来るが、ディジタルLSIの設計のように明確に分離出来ない。アナログ回路ではLSIチップ上にレイアウトされる素子あるいは配線間の相互干渉が重要な問題となる。寄生素子の問題、基板の歪や熱分布による素子特性のずれ等の問題を考慮しなければならず、単に回路図上に素子を配置し、素子間を接続するだけでレイアウト設計を行うことは出来ない。

LSI設計のCADとして現在使用されているプログラムシステムは、解析的な動きをするものか、あるいは配線設計のような比較的自由度の少ない、すなわち拘束条件の強い解空間での探索問題を解くものが多い。アナログLSI設計のように非常に自由度が大きく、最適化問題となる部分問題に分解できないような設計問題に対しては、殆ど無力である。

設計のあらゆる面において仕様における“曖

味さ”が残されており、トップダウン的に設計していく際の設計候補の選択は、設計者の手に委ねられている。この際にキーとなるのは、バランスの感覚である。設計結果は単に、設計仕様に記述された条件を単純に満足すれば良いわけではない。仕様として明確に表現されていない条件も存在し、また必ずしも数値的な表現が出来ない要求項目もある。中でも相反する条件のバランスをどのようにとるかが重要である。Aを良くすれば、条件Bの特性が悪くなるといったことはごく普通に起こり得る。設計問題を全て最適化問題のサブ問題に展開することができない。特にその時点での判断の正当性が即時に検証出来ない場合、その時点での判断が非常に重みを持っている。アナログLSI設計の場合、実際に製造まで行い、テストを始めて始めて不具合を発見したとすると、その間の数週間、数ヶ月をさかのぼって設計のやり直しを行わなければならない。設計者にとっては、それぞれの時点での判断が、その後どのような影響を及ぼしていくかを示すシュミレータが存在することが望ましいが、今日の解析技術レベルでは、とても不可能なことである。そこで、過去の設計例等の経験をもとにした結果の予測という手法が取られることになる。人間の判断においても、“実際にこのようにした時には、このようになった”という情報が依りどころになっている。この時の知識には、大きく2つあるように思われる。第一は、過去にうまく行った設計例における記憶、知識である。1つのことを実現するための方法は幾通りも考えられるのが通常であるが、うまく行った方法が前例になって新規の設計の際の参考にされる。実際にこのようなやりかたで、探索空間を非常にうまく絞っている。このような探索空間を絞りこむための知識をエキスパートシステムに蓄積することにより、経験のあるプロセス技術等を使用する設計に対しては、大いに役立つ。第二は、過去における失敗の知識である。テストにおいて不具合が発見されると、その原因は徹底的に調査されて、ドキュメントとして残される。これらの大部分は単純ミスであるが、中には、通常では見逃しやすいものもある。この種のミスのチェックサポートには、エキスパートシステムは設計者に強力な援助を与えてくれる。

3. 設計知識の表現

アナログLSI設計の顕著な特徴は次のようなことである。個別部品と比較して、素子特性のバラツキは非常に大きい。しかし、レイアウトに注意することにより相対的な精度はかなり向上させることが出来る。例えば、絶対精度で $\pm 30\%$ 程度バラつく抵抗でも相対精度を $\pm 1\sim 3\%$ 程度のバラツキに抑えることが可能である。これはLSIの大きな特徴であり、回路構成は素子の絶対値でなく、相対値で特性が決まるような回路設計がなされ、そのための回路構成、レイアウト上のさまざまなノウハウがある。例えば、次のような知識がある。

(a) 整合性を満足させるための知識

回路設計において比精度を要求されている素子をどのようにレイアウトしたら良いかに関する知識である。

(b) 交差配線の知識

配線の引回しは、回路全体の特性に及ぼす影響が大きいので、重要である。回路図上は配線の交差は問題ではないが、レイアウト設計では、一層配線を用いる場合、異なる信号がショートしてしまうので、交差配線(クロスオーバー)を用いてこれを回避する。

(c) 分離領域の知識

バイポーラLSIの場合、N-P接合に逆バイアスをかけて領域分離を行う必要があるため、チップ面積に及ぼす影響が大きい。分離領域の設定のしかた、バイアスのためのコンタクトの設定のしかた等、多くのノウハウがある。

以上に述べたような知識を状況に合わせて活用しながら設計者は、できるだけ小さいチップ面積で、要求された回路特性を満足するレイアウトを設計する。

レイアウト設計の実態をインタビュー調査したところ、次のような設計の流れが分った。レイアウトの初期段階で、ラフレイアウトがおこなわれる。ラフレイアウトはレイアウト設計者が、各素子の形状、配置、配線の概略図を、机上でフリーハンドで描きながら、レイアウトの最適案を検討してゆく作業である。この際には、詳細な設計ルールや厳密な物理形状ではなく、だいたいのトランジスタの大きさ、抵抗、キャパシタの形状を頭におきながら、概略図を考え

て行く。このラフレイアウトの作業を分析したところ、設計者はラフレイアウト図の初期情報として回路図を用い、そこでの配置レイアウトを出発点として、部分的に素子配置、配線経路を修正しながら、ラフレイアウト図を作成している。ただし、このような作業はかなりの部分が設計者の頭の中で行われている。

回路図は、単に素子間の配線接続を表現しているだけでなく、一種のシンボリックレイアウト図であり、素子の相対配置、配線の引回し方などが重要な意味を持っている。最上部に電源ライン、最下部にグラウンドラインを設定し、主たる信号の流れが、左から右へとなるように作成するといった一定のルールに従っており、また回路設計者が意識的あるいは無意識的に素子密度や配線密度の一定化を計っているからである。従って、レイアウト設計において回路図における素子配置、配線をもとに各素子、各配線線分を、物理的なレイアウトデータに変換してゆけば、最終的なレイアウトが得られる。このような設計方法論もまた大きな知識である。本エキスパートシステムは、この設計手法に沿って支援するものである。

4. システム試作

対象として取上げたのは、非常にバラエティの広いアナログLSIの中でも数の上から見て最も標準的なバイポーラアナログLSIの素子数40～60程度の機能ブロックのレイアウト設計である。アナログLSIは回路素子パラメータがレイアウトに大きく依存するために、レイアウト設計と回路設計とを明確に切離す分けにいかない。また、レイアウトによる寄生効果をまで取込んだシミュレータは実用的には当分見込みが薄い。このために、回路設計結果に近いレイアウトを与えるためにこれらの諸条件は経験的知識に基づいてレイアウト設計時に考慮されねばならない。

【入力】： 入力は回路設計の結果である。新たにレイアウト設計を行う場合あるいはレイアウト結果からフィードバックされ回路設計の修正を行った場合がある。入力項目として、最も重要なものは回路図である。回路設計に際しては、LSI製造のためのプロセスを決定し、

使用する各素子の設計も完成しているものとする。すなわち、トランジスタとしては、数種類のものあらかじめ用意されており、いずれかを選択して用いる。その時のレイアウトの状況に合わせて、1つの種類のトランジスタの中にバリエーションをあらかじめ設計しておく。回路図の各トランジスタにはトランジスタ種類名が付加されている。回路図には陽な形で記されていない素子接続情報以外の情報が含まれている。これらは回路図を読む人が、回路の意味から読取るべき情報であるが、簡単のためここでは、素子間の相対的精度、バイヤス条件等の付加情報をシステムの入力情報とする。

【出力】： 物理レイアウト、各素子の形状および位置、配線線分の幅および位置、素子間の相対精度条件からのレイアウト制限を満足する、なるべく少ない面積の機能ブロックのレイアウトを生成出力する。なお、機能ブロックの外形は矩形で、上辺は電源ライン、下辺はグラウンドライン、入力端子は左辺または右辺上にあるものとし、回路図での相対位置にならう。

本システムは、2つのフェーズに分れる。第1のフェーズでは会話型に回路図を編集して、素子および配線の相対位置を決めるラフスケッチを行う。このフェーズは、回路図のシンボルを用いてレイアウト表現を行う。すなわち、素子の相対位置および配線の引回し方法のレイアウト設計において本質部分を決定する。この設計部分では、設計を進めるのはあくまでも人間の設計者であり、それに対してエキスパートシステムは回路特性を実現するためのノウハウに基づいて設計者に助言を行うという形態を取る。

図1 にシステムの構成を示す。

システム試作では、次の【A】【B】【C】の知識群のインプリメントを行った。

【A】交差解消の知識

配線交差の解消は、図2に示すように抵抗上の交差利用、トランジスタの電極間の通過配線の利用、キャパシタの電極間通過配線の利用等によって行われる。可能な手段の提案を行うが、素子配置、配線の相対位置がそのままであることを前提としたローカルな判断であるのでユーザのグローバルな判断が必要である。

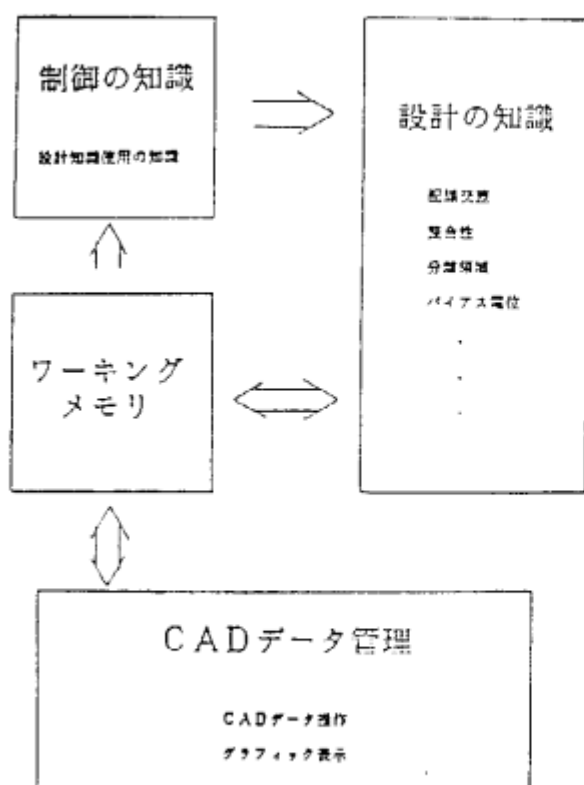


図1. システム構成

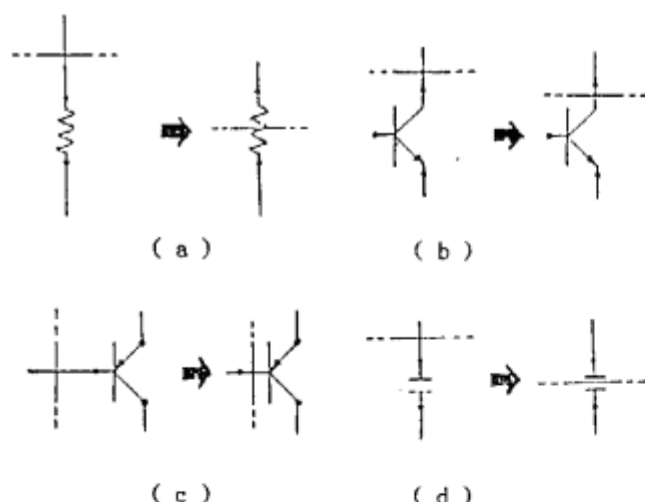


図2. 回路図上での配線交差解消

〔B〕トンネル抵抗挿入の知識

交差する2つの信号線のどちらにトンネル抵抗を挿入すべきかの知識である。信号線の優先度に関する一般ルール、トンネル抵抗挿入の可付加の判断ルール等を含む。

〔C〕素子グループ化の知識

同電位の分離領域はまとめることにより面積を小さくすることが出来る。分離領域の島の数は少ない方が望ましい。一般に、抵抗同志、ト

ランジスタ同志をグループ化するとレイアウト上有利なことが多い。第2のフェーズではラフスケッチを詳細化しマスクレイアウトパターンを生成するフェーズである。このフェーズでは、回路図シンボルで表現されたレイアウトを物理的な大きさを持つ素子および配線のマスクパターンに展開する。これは物理的な制約条件を満たすようにチップ面積の最小化をはかるもので、物理的な展開のための知識を知識ベースに表現し自動的な処理を行い初期レイアウトを生成し会話型にエディットし最終レイアウトを定める。

回路図のエディットのフェーズでは、配線交差の解消と、整合あるいは相対精度の要求がある素子の相対位置の決定等を行う。

試作システムのインプリメントは、Prolog上の知識表現システムPeace[1]およびC言語を用いて行った。

○試作システムにおける設計知識

《制御の知識》

問題解決のための戦略の知識である。ワーキングメモリに蓄えられた情報をみて、用いるべき設計知識を決定する。またシステムの制御にはユーザが関与するのでユーザとのインターフェースも受持つ。試作したシステムでは、次のような知識から成る。

1. 配線の交差があれば、“交差解消”の知識を呼出す。
2. 配線の交差解消が出来なければ“トンネル抵抗挿入”の知識を呼出す。
3. 整合性が満たされていないならば“整合性”の知識を呼出す。
4. 素子のグループ化がされていないならば“グループ化”の知識を呼出す。

《設計の知識》

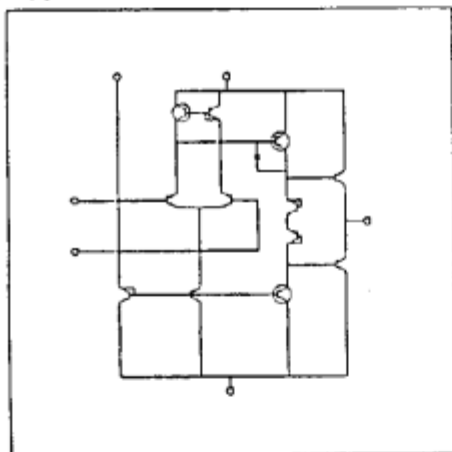
設計実行のための知識を分類し、知識群としてまとめた。制御の知識から呼出されると、ワーキングメモリの状況から打つべき手を考え、制御の知識あるいはユーザに提案する。

図3. は実行例である。(a)は与えられた回路図を示す。(b)は抵抗上での交差およびNPNトランジスタにおけるコレクターベース間の通過配線を用いた配線交差の解決結果を示

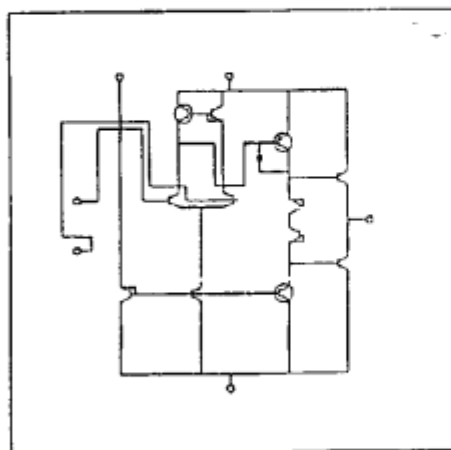
す。(c)は相対精度を要求する素子対を考慮した相対的な素子配置、配線を示す。

レイアウト設計において設計の質に重要な影響を持っているものは、素子の相対的配置および配線の相対的位置関係である。これらは図(c)において決定している。この図から各素子を物理的な形状を持ったレイアウトに展開し、配線線分を幅を持った矩形に置換えれば、一応のレイアウトが出来る。さらに、余分なスペースをコンパクションして、最終レイアウトが得られる。

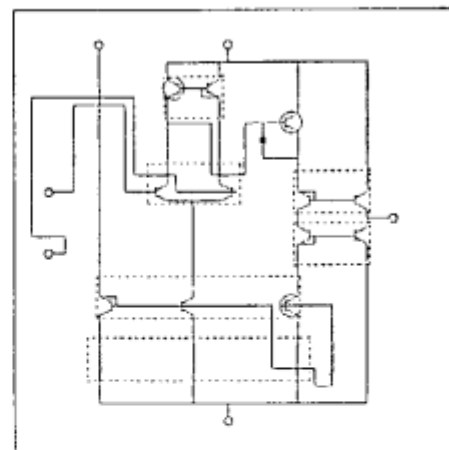
コンパクションは2次元的な詰合せ問題となるが、X-Yコンパクション等1次元な取扱いしか現在のところ確立されてなく、2次元を取扱うアルゴリズムは存在しない。しかも、本システムの対象としているレイアウト設計では、抵抗およびキャパシタの形状が変化し得るため、素子形状を考えあわせながらコンパクションを計る必要がある。これは第二のフェーズでおこなわれる。



(a)



(b)



(c)

図4. 実行例

5. おわりに

アナログLSI設計に対する知的CADの試みについて述べた。ノウハウのかたまりと言われるアナログ設計のCAD化に対しては知識工学的アプローチがぜひとも必要である。

本研究を進めるにあたりご指導をいただいたICOT研究所・藤井室長、当社後藤部長に感謝します。当社民生LSI事業部二見主任、宮本課長にはユーザの立場から意見を頂き、日本電気技術情報システム開発部友枝、沢崎両氏にはシステム開発で協力頂いている。深く感謝します。

[1] Koseki, Y.: Amalgamating Multiple Programming Paradigms in Prolog, Proc. of IJCAI-87, pp 76-82 (1987).