

P S I - II の性能評価 (1)

6B-7

— 概要と速度評価 —

中島 克人 稲村 隆 中島 浩 近藤 誠一 吉田 裕之
(ICOT) (三菱電機) (沖電気)

1. はじめに

第5世代プロジェクトの一環として、マルチP S Iの要素プロセッサおよびフロント・エンド・プロセッサとして用いられるP S I - IIを開発した。P S I - IIはWAM(1)をベースにしたK L I処理系を意識して、そのマイクロ・アーキテクチャおよびハードウェアが設計されている(2)。また、機械語の設計に際しても、そのファームウェアを用いて、さまざまな最適化を施している。本稿では、P S I - II評価プロジェクトの概要と、評価の一環として測定したベンチマーク・プログラム速度性能、および、実用プログラム例として選んだE S Pコンパイラの実行に関するプログラム動特性およびキャッシュ特性について報告する。

2. 評価プロジェクトの目的と概要

評価には3つの立場(目的)がある。(a)単なる現状性能の測定もしくはプログラム固有の特性の評価、(b)機械語設計もしくはコンパイラへのフィードバック、(c)ハードウェアの良否の判断もしくは改良項目の明確化のための評価、の3つである。本プロジェクトではこれら3つのすべてをカバーしている。今後のファームウェア改良の参考にするばかりでなく、将来の、よりコスト・パフォーマンスのよいマシンの可能性を探るという意味もあるからである。なお、実際の評価は上記目的ごとには行わず、評価項目別に行っている。評価項目について以下に述べる。

P S I - IIのような専用マシンの速度性能を決定するものとして、

- (1) ベンチマーク・プログラム実行速度
- (2) 最適化用機械語の使用効率
- (3) 機械語の実行頻度とその実行に要したクロック数
- (4) 専用ハードウェアの使用効率
- (5) キャッシュの効果

などがある。また、コスト・パフォーマンスの良否を決定するものとして上記の他、

- (6) W C Sの使用効率

などが挙げられよう。

(1) ベンチマーク・プログラム実行速度

P r o l o gコンテスト課題となっているプログラムの実行時間を測定し、他のマシンと比較する。

(2) 最適化用機械語の使用効率

速度向上およびコード量の節約のために、頻繁に現れる決まった命令列の一部もしくは全部を1命令にマージする事が多いが、これらのマージ命令のためには、それだけのマイクロ容量と、より複雑なコンパイルが必要なわけであり、

それらの効果を良く吟味しなくてはならない。

(3) 機械語実行頻度と所要ステップ数

実行頻度の高い命令ほど短いクロック数で実行される事が望ましいといえるが、その絶対評価は難しい。今回は、命令の実行頻度とその所要マイクロ・ステップ数を見比べ、今後のアーキテクチャ改良の指針を得る事を目的とする。なお、クロック数ではなくステップ数としているので、ここではキャッシュ特性とは切り離したC P U特性のみの評価となる。

(4) 専用ハードウェアの使用効率

P S I - IIでは、K L I処理系の事も考え、機械語レベルの設計の自由度を最大限に与えるために水平型マイクロプログラム方式と、マイクロプログラムですべて制御される簡単なパイプライン機構を備えている。水平型マイクロプログラム方式の設計のキーポイントは、個々のマイクロ・オーダの機能が強力である事もさることながら、限られたマイクロ命令のビット幅で如何に動的な水平度を高くできるかにある。P S I - IIではビット幅が53ビットの1つのマイクロ命令で、

- ◆ A L Uオペレーション
- ◆ タグ即値またはフラグ(スイッチ)・オペレーション
- ◆ カウンタ・オペレーション
- ◆ (条件付) ブランチ・オペレーション
- ◆ メモリ・オペレーション

の5つまでを同時に指定する事ができる。これらが動的に効率良く使用されているかどうかを評価する。

(5) キャッシュの効果

P S I - Iでの評価(3)によると、K L I処理系のキャッシュ・ヒット率は非常に良く、手続き型言語などに比べて小さなキャッシュでも十分な性能をひきだせる事が判った。そこで、ハードウェア削減の観点からもP S I - IIではキャッシュ容量をP S I - Iの半分(4K語)に抑えた。これによる速度低下を評価する。

(6) W C Sの使用効率

全実行の何パーセントが何語のW C Sの中で実行されているかを知る事により、頻度の少ない処理をファームウェアにかわりソフトウェアで実行した場合の全体の性能低下を予測できる。R A Mが大容量化しているとはいえ、C P Uチップ内にW C Sを実装するような事になれば、その容量の削減は当面は重要課題である。

本稿では、(1)、(3)、および(5)を中心に報告する。

Performance Evaluation of P S I - II (1) -- Outline & Execution Speed --

K.Nakajima*1, Y.Inamura*1, H.Nakashima*2, S.Kondoh*2, H.Yoshida*3

*1:ICOT, *2:Mitsubishi Electric Co.,Ltd, *3:Oki Electric Industry Co.,Ltd

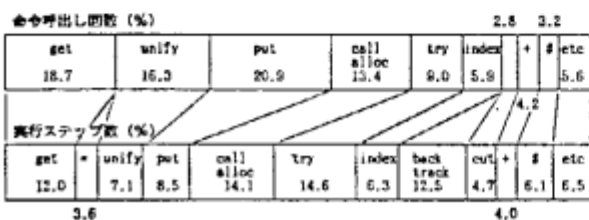
benchmark program	A PSI-I KLIPS	B PSI-I(WAM) KLIPS	C PSI-II KLIPS	B/C	A/C
append30	37.0	103.4	400.0	3.8	10.7
nrev30	36.5	114.3	324.8	2.8	8.9
qsosrt50	40.1	89.5	158.0	2.6	3.9
travsl000	41.2	73.3	120.2	1.6	2.9
8queens	26.6	119.5	191.2	1.6	3.3
fibofact	34.0	58.3	84.4	1.5	2.5
slowrev5	34.4	82.7	129.1	1.6	3.8

Cycle Time : PSI-I = 200 nsec, PSI-II = 166.7 nsec

表1 ベンチマークによる速度性能

3. ベンチマーク・プログラム実行速度

表1にPSI-I, PSI-IIおよびPSI-I上にWAM方式を採用した場合のベンチマーク・プログラムの速度性能を示す。表から判るように、WAM方式により約2倍、PSI-IからPSI-IIへのハードウェア変更により、1.6~3.8倍の性能向上が得られている。特に、WAM方式での最適化の効果の高いappendでは合計で10倍以上の性能向上となっている。



●: general unify, push, trail ○: 算術演算 (加減乗除) ■: ベクタ・アクセス

図1 命令呼出し回数と実行ステップ数

4. 機械語実行頻度と所要ステップ数

実行プログラムの実行時の機械語動特性を調べる事は、今後の機械語設計、および、ハードウェア改良のための基礎データを得るという意味で重要である。今回は実行プログラム例として、ESPコンパイラで簡単なプログラムをコンパイルする場合をとりあげた。図1に機械語のグループ別実行頻度と、それに対応するマイクロ・ステップ実行数を示す。この図から以下のような事がいえる。

- ☆ 引数操作の基本命令の実行回数 (put, unify, get) が全体の56%にも達しているのに対し、その実行時間比率は31%に留まっている
- ☆ 呼出し制御用のものも含め、基本命令の実行回数、実行時間比率ともに80%以上であり、これらの実行効率が全体の速度性能に支配的である
- ☆ 汎用ユニフィケーションの実行時間比率は3.6%とかなり小さい
- ☆ 片方の引数がソースプログラム上の定数であるような算術演算には専用の命令を用いているが、それらの実行が、両引数が高数から与えられるようなものに比べ、圧倒的に多い

5. メモリ・アクセスおよびキャッシュ評価

ESPコンパイラの実行トレース情報 (5万ステップの任意抽出) を、PSI-Iの評価で用いたキャッシュ・シミュレータ [3] に入力し、キャッシュの評価を行った。表2にエリア別のアクセス頻度とキャッシュ・ヒット率を示す。コードのアクセスが20%である事から、1命令の

実行に平均5ステップ要している事がわかる。また、ローカル・スタックはアクセス頻度もヒット率も非常に高い事がわかる。全体のヒット率も97%と非常に高く、4K語のキャッシュでもかなり有効であるといえる。

また、全ステップに対するメモリ・アクセス頻度は62%である事から、メモリ・アクセス・ネックという観点ではPSI-IIではまだ高速化の余地があるといえる。

キャッシュコマンド	アクセス 頻度 %	アクセス 比率 %	ヒット率 %
Code	20.0	32.1	94.6
Heap	2.1	3.4	90.2
Global	3.5	5.6	92.1
Local	35.3	56.8	99.7
Trail	1.3	2.0	96.2
Total	62.2	100	97.2

表2 エリア別メモリ・アクセス頻度
とキャッシュ・ヒット率

表3にはキャッシュ・オーダ別の頻度とヒット率を示す。Write系の頻度がReadの半分以上に達しているが、そのヒット率は99%と非常に高く、スタックとキャッシュの相性が大変良い事がわかる。

"Write_stack" はキャッシュ・ブロック境界への書込み時 (a=0で示す) に限り、ミス・ヒットによるスワップ・インを省略するものである。その比率は0.14% (4.2 * 0.034) と小さいが、1回のスワップ・インの省略で約8クロックの節約となるので、全体で1.1%のオーバーヘッド削減に寄与している事になる。

なお表には示していないが、キャッシュ・オーバーヘッドは8.3%であった。また、キャッシュの構成を4K語 * 2セットとした場合のヒット率は98.1%、オーバーヘッドは5.6%となり、全体性能は約3%程度向上する事がわかった。

キャッシュコマンド	アクセス 頻度 %	コマンド 比率 %	ヒット率 %
Read	40.8	65.6	96.2
Write	5.2	8.4	99.9
Write_stack(a!=0)	12.0	19.3	99.9
Write_stack(a=0)	4.2	6.7	96.6
Total of write	21.4	34.4	99.2
Total	62.2	100	97.2

表3 キャッシュ・オーダ別メモリ・アクセス頻度と
キャッシュ・ヒット率

6. おわりに

PSI-II評価プロジェクトの一環として、ベンチマーク性能、プログラム動特性、メモリ・アクセス及びキャッシュ特性などについて評価した。より一般的な評価データを得るために、今後は評価用プログラムを追加して行きたい。

参考文献

- (1): D.H.D Warren, An Abstract Prolog Instruction Set, TR309, SRI, 1983.
- (2): 中島 他, "マルチPSI要素プロセッサPSI-IIのアーキテクチャ", 第33回情報処理全国大会, 1986.
- (3): 中島, 三石 他, "PSIの評価(2)", 第30回情報処理全国大会, 1985.