

PIMの並列キャッシュ —KL1のメモリ参照特性—

3C-1

松本 明、中川 貴之、佐藤 正俊、清水 肇、後藤 厚宏

(財)新世代コンピュータ技術開発機構

1. はじめに

ICOTでは、クラスタ概念を用いた階層構造で、クラスタ内の各プロセッサを並列キャッシュを介して共有メモリに接続した構成の並列推論マシンPIMを設計中である。対象言語であるKL1のクラスタ内処理系は、共有メモリ型の密結合マルチプロセッサでの実行を前提に設計しており、また、クラスタには、共有メモリへのアクセスを高速化するためにプロセッサ毎にキャッシュを設けた。

我々は、クラスタ内処理系から全てのメモリ・アクセス情報の履歴を取り出し、それをキャッシュ・シミュレータへの入力とすることによって、KL1処理におけるメモリ参照特性を種々の尺度から分析している。PIMの設計は、この分析結果を処理系の設計、および、ハードウェアの設計にフィードバックをかけながら進めている。

本稿では、ヒープ使い捨て型のKL1処理系を用いたシミュレーションにより収集したメモリ参照特性について報告する。なお、MRBによるヒープのGCを行ったKL1処理系のキャッシュ特性については、別稿[1]に述べる。

2. シミュレーション条件

2.1. キャッシュの方式と構成

並列キャッシュの方式は、6状態モデルを使用した[2]。プロセッサ台数は8台、プロセッサ当たりのキャッシュ容量は、4Kワードで、キャッシュ構成は、256カラム、4セット、4ワード・ブロックを標準とした。

バスサイクル数は、データのスワップイン、スワップアウト等に最低限必要なバスサイクル数であり、共有メモリからのスワップインが13サイクル、他のプロセッサからのキャッシュ間転送が7サイクルと仮定した。なお、バスの競合による待ち時間は含まない。

共有バスのビジー率の目安となる名目バス使用率は、バスサイクル数とリダクション総数から計算したバスの競合による待ち時間を含まないバス使用率である。

$$\text{名目バス使用率} = \text{バス使用時間} / \text{実行時間}$$

バス使用時間は、バスサイクル数×50[nSec]、実行時間は、リダクション総数/目標性能の200[Kリダクション]/プロセッサ台数で計算した。

2.2. 評価プログラムの特性

評価には、表1に示した構文解析プログラムのBUPを主に用いた。KL1Bは、PIMの機械語である。

表1. 評価プログラムの特性 (8プロセッサ)

プログラム名	BUP
総リダクション回数	35.7K
KL1B命令の静的ワード数	3.3K
(内、一回以上参照された数)	2.0K
KL1B命令の実行ワード数	567.8K
サスペンド回数	1.6K
総メモリ参照回数	1270.3K

3. KL1のメモリ参照特性の評価

3.1. 各領域毎のメモリ参照特性

- 1) ヒープ使い捨て型処理系におけるヒープ、KL1B命令コード、ゴールレコード、サスペンションレコード、メタコールレコードの各領域毎に、使用した領域の静的ワード数、アクセス回数、バスサイクル数、実行終了後に各領域でどれだけのエントリをキャッシュ上に占めているかを図1に示す。
- 2) ヒープ領域は、全メモリ空間の9.0%弱を占めるが、アクセス回数は、全体の15%程度しかない。従って、他の領域に比べてローカリティが低い。実際、バスサイクルの50%近くは、ヒープ領域のアクセスに起因するものである。
- 3) 一方、KL1B命令コード領域は、全メモリ・スペースの5%程の領域に対して、全メモリ参照の50%強が集中する。従って、命令コード領域のローカリティは他の領域に比べて高いことが確認される。

表2. ヒープ領域の参照特性 (8プロセッサ)

プログラム (BUP) リダクション数=35,717	全体	リダクション 当たり
ヒープ領域の静的ワード数	62.7K	1.75ワード
ヒープ領域の総参照数	192.8K	5.40
ヒープ領域への書き込み数	98.0K	2.74
ヒープ領域への読み込み数	94.7K	2.65
内ロックを伴う読み込み数	38.0K	1.06

- 4) ヒープ領域のメモリ参照特性 (表2) は、処理系の性能に大きな影響を与えるので、さらに、詳細な特性を調べた。その結果、ヒープ領域は、1ワード当たり平均3回のアクセスがあり、書き込みの数と読み出しの数がほぼ同数である。また、読み込みの内約40%はロック操作が必要であることが分かった。

Parallel Cache for PIM

- Memory access characteristics of KL1 -

Akira MATSUMOTO, Takayuki NAKAGAWA, Masatoshi SATO, Hajime SHIMIZU, Atsuhiko GOTO
Institute for New Generation Computer Technology (ICOT)

- 5) サスペンションレコード領域は、領域ワード数、アクセス回数共に1%程度と少ないが、バスサイクル数は、約12%存在する。これは、プロセッサ間に跨ってのサスペンド/リジューム処理が相当数存在するためである。

3.2. キャッシュ構成と台数効果

- 1) プロセッサ台数を増加した場合に、バスサイクル数とバスの名目使用率がどのように変化するかを図2に示す。
- 2) 名目バス使用率の上昇率が、バスサイクル数の上昇率よりも大きな理由は、 n 台のプロセッサで実行すれば単純に n 分の1の時間で実行できると仮定しているためである。8~10台程度のプロセッサを現仕様の共有バス1本で接続することは無理で、対策が必要である[3]。
- 3) キャッシュ容量は、各プロセッサ当たり4Kワードと仮定しているの、プロセッサ台数を増やすとその分総キャッシュ容量は増える。しかし、実際にはプロセッサ台数を増やすとキャッシュの容量が増えた利点を打ち消す並列化による分割損が発生して、バスサイクル数は増加していることが分かる。BUPのヒープ領域へのアクセスの場合には、8台のプロセッサで実行することにより約10%が他のプロセッサのヒープ領域へのアクセスとなりその分ヒープ領域のバスサイクル数が増えている。
- 4) 命令コード領域に必要なバスサイクル数は、プロセッサ台数が1台から2台に増える時に一旦減少する。これは、2台にすると共有メモリからのスワップインよりも高速なキャッシュ間転送により命令コードを転送できる確率が高くなるからである。しかし、プロセッサ台数を4台、8台と増やしていくと今度は逆に増加する。これは、ヒープ領域等の他の領域は、 n 台のプロセッサで実行した場合、分割損が生じた分しかアクセス総量は増加しないのに対して、命令コード領域は、 n 台のプロセッサにコピーするためにバスを n 倍使用するためであると考えられる。

なお、現仕様のKL1B命令は、クローズ・インデキシングを行っていないために分岐の頻度が高く、実行されるKL1B命令数が増える原因となっている。従って、今後、インデキシングを導入することにより、KL1B命令のフェッチに要するバスサイクルは減少すると考えられる。

3.3. 実行終了後のキャッシュ状態の分析

- 1) BUPプログラム実行終了後のキャッシュのキャッシュ状態、実行終了後に何台のプロセッサでデータを共有していたかを図3に示す。
- 2) 共有ブロックに対する書き込みが起きた場合に、他のプロセッサのブロックを無効化する方式を採用しているため、無効ブロックがキャッシュ上に存在する可能性がある。無効なブロックの総量は、全キャッシュ・ブロックの8%に達する。これは、実際に共有されているデータへの書き込み比率が高いことを示している。なお、無効ブロック数は、ブロック長を長くすると増加する傾向がある。

- 3) 実行終了後に全プロセッサのキャッシュ上に残っているデータのコピー数を調べてみると、1台のプロセッサだけが所持していたキャッシュ・ブロックが約40%で最も多いが、8台のプロセッサ全部でコピーを持っていたブロックも24%に達する。このように多くのプロセッサで共有されていたブロックの大半は、命令コードであると考えられる。

4. おわりに

PIIMの対象言語であるKL1のヒープ使い捨て型クラスタ内処理系と並列キャッシュ・シミュレータを結合して、KL1のメモリ参照特性に関するデータの収集・評価を行った。今後は、大規模プログラムに対しても定量的評価を進めると共に、クラスタ間通信についても検討を進めて行く予定である。

(参考文献)

- [1] 西田他, "MRBによる多重参照管理方式-KL1処理系におけるキャッシュ特性の評価一", 本大会予稿集2Q-8
- [2] 松本他, "並列推論マシンPIIM-並列キャッシュとロック機構一", 情報処理学会第34回全国大会予稿集2P-6
- [3] 中川他, "PIIMの並列キャッシュ-共有バスの一構成法一", 本大会予稿集3C-2

