

情報処理学会 第34回全国大会論文集-2

TM-0256 大規模知識ベースマシン実験機の開発(2)

— マルチポート・ページメモリ —

TM-0257 大規模知識ベースマシン実験機の開発(3)

— ソフトウェア・シミュレーションによる評価
(第一報) —

- (0256) 柴山茂樹, 石村多喜二, 酒井 浩, 岩田和秀(東芝), 物井秀俊, 森田幸伯, 伊藤英則(ICOT)
(0257) 酒井 浩, 柴山茂樹, 岩田和秀(東芝), 物井秀俊, 森田幸伯, 伊藤英則(ICOT)

February, 1987

©1987, ICOT

ICOT

Mita Kokusai Bldg. 21F
4-28 Mita 1-Chome
Minato-ku Tokyo 108 Japan

(03) 456-3191-5
Telex ICOT J32964

Institute for New Generation Computer Technology

大規模知識ベースマシン実験機の開発 (2)

— マルチポートページメモリ —

栗山茂樹、石村多喜二、酒井浩、岩田和秀 (栗芝)

物井秀俊、森田幸伯、伊藤英則 (ICOT)

1. はじめに

新世代コンピュータ技術開発機構 (ICOT) の知識ベースマシンの研究の一環として大規模知識ベースマシンのハードウェアシミュレータの開発を進めている。[栗山 86] ハードウェアシミュレータは大規模知識ベースマシン [Yokota 86] の Unification Engine をマイクロプロセッサで模擬したものである。本稿ではそのハードウェアの詳細、特にマルチポートページメモリ (MPPM) [Tanaka 84] の実現について述べる。

2. ハードウェアシミュレータのハードウェア構成

図1にハードウェアシミュレータ (HVS) のハードウェア構成を示す。8ポートを持つMPPMの各ポートにUnification Engineを模擬するマイクロプロセッサ (μP) を配している。各 μP はハードディスクを持ち、これが2次記憶となる。

SCP (Simulator Control Processor) は最終的にはシステムの初期化、 μP の制御等を行なうシステムの制御プロセッサとして働くが、開発時には μP 上のソフトウェアの作成デバッグ/ハードウェアのテストを行なうための開発装置として用いる。このため、MC88010 を CPU として持つ開発システムを SCP として用いている。各 μP システムは MC88020 を CPU としてプロセッサボードを中心に VME バス上に 2MB のローカルメモリ、47MB のハードディスク、共有メモリインタフェース、MPPMポートインタフェース (Adapter) を付加したものである。

共有メモリは8台の μP と SCP により共有される 2MB のメモリである。MPPM も一種の共有メモリであるが、ページアクセスの latency を持つため、制御情報など少量のデータを小回りよく通信する用途には向かないと考えられるので、プロセッサ間の制御情報の通信用に通常の共有メモリを用意した。9台のプロセッサからのアクセスを平等に制御するために、専用の arbiter を開発して用いる。

MPPMポートインタフェース (Adapter) は、ハードウェア的には dual-port RAM による μP と MPPMポートの共有メモリ (ポートバッファ)、そのアドレスカウンタ等から構成されるインタフェースボードである。

3. マルチポートページメモリとのインタフェース

MPPMは複数のポートからの独立したページアクセス要求を各々

のポート毎に受け付ける必要がある。単一の制御部が、全てのポート分のデータ転送要求を受け付けるのはパフォーマンスを著しく低下させるので、各ポート毎に転送要求を処理する能力を備えなくてはならない。

従って、今回の実現ではマルチポートページメモリのポートは各マイクロプロセッサ (μP) から一種のチャネルのように見えるようにした。次に μP 側から見た時の MPPM のポートの動作について述べる。

各 μP は非同期に各々のポートに対して任意のページを要求する。この要求はページ転送制御ブロック (Page Transfer Control Block - PTCB) で表わされる。図2に PTCB のフォーマットを示す。物理的には μP とポートは、Adapter 上にメモリを共有し、PTCBは他の制御フラグ類と共にその共有メモリ上の制御情報エリアに置かれる。この共有メモリをポートバッファと呼ぶ。ポートバッファのその他の部分はデータ転送用のバッファである。ポートは初期化されると制御情報エリアの先頭にあるリクエストフラグをセンスし、ページ転送要求を待つ。 μP は PTCB を準備するとリクエストフラグをセットする。ポート制御部は PTCB を読み込むとリクエストフラグをリセットし、(指定されれば) μP に次の PTCB を要求する割込みを起こす。PTCB によって指定された転送をポートバッファに対して行なうとやはり指定により μP に割込みを起こす。

MPPM のデータ転送ではもともとページ内のセグメントの順序を整合させるため、各ポート毎に1ページ分のバッファは不可欠である。このバッファはハードウェア的にはポート側/ μP 側のどちらに置いてもよい。今回の実現では μP 側のインタフェース (Adapter) にポートバッファを持たせている。理由は、①ポートバッファを μP のメモリ空間内に置き、転送終了後即座に μP 側でそのデータを使用可能にするため ②複数のページバッファを実装し、ダブル・バッファリング、複数ページ一括転送機能等を実現するためである。

ポートバッファはポートと μP がアクセスの競合なくダブル・バッファとして使用するために dual-port の RAM で構成される。MPPM の転送は全ポートが同期して動作する必要があるため、アクセス競合が起こってあるポートが他のポートの動作に遅れるという事態は許されないからである。容量は実装の制約で 12KB である。

Development of an Experimental Very Large Knowledge Base Machine (2) —Multiport Page Memory—
Shigeki SHIBAYAMA, Takiji ISHIMURA, Hiroshi SAKAI, Kazuhide IWATA (Toshiba-Corp.),
Hidetoshi MOHRI, Yukihiko MORITA, Hidenori ITOH (ICOT)

4. マルチポートページメモリの実現

MPPMの構成を図3に示す。ポート数はこのマシンが実験機であることなどから8とした。MPPMはポートに対応するメモリ・バンク、ポート制御部、全体を制御するマスタ制御部、それにメモリ・バンクとポートを結ぶネットワークから構成される。図4に4ポートの場合のMPPMの動作を図示する。この例からも分るようにネットワークはサイクリックに各ポートと論理的なメモリ・バンクの接続を切替え、ポートバッファはページのセグメント毎にそのタイムフレームで接続されたバンクから読み出しを行ない、対応したページバッファのセグメントに格納していく。物理的なメモリ・バンクの数は必ずしも論理的なバンク数と1対1である必要はなく、高速化のためにインターリーピングを行なうことも可能である。今回は制御を容易にするため、1論理バンクを1物理バンクで構成した。

ポート制御部は3節で示したようにPTCBの読み込み、解釈、割込みの制御を行なう必要がある。かつこれらの実行は実効的な転送速度を上げるため高速に行なわなければならない。従って柔軟な制御と高速性を考慮し、マイクロプログラムによる制御を採用した。MPPMにおける1サイクル(1ページを送信するトータル時間)を、PTCBを読み込み転送のセットアップを行なうセットアップフェーズと、データ転送を行なうデータ転送フェーズに分け、セットアップフェーズでマイクロプログラムによりハードウェアのレジスタ値の設定を行ない、データ転送フェーズではハードウェアの制御によりフル速度でデータ転送を行なう。このフェーズの転送サイクルは28/300ns(8.6MB/sec)である。PTCB用のデータラインとデータ転送用のデータラインをポート毎に別に設ければセットアップフェーズは不要であるが、これはいたずらにインタフェースのライン数を増し、実装の困難さを増大させる。

ネットワークは、8-state gateを利用したセレクトでディレイを最小限にするようにコンパクトに実装した。MPPMを高並列化する場合に最も実装面で問題となる箇所であるが、今回は特別な実装法などはとっていない。

5. まとめ

以上、試作中のハードウェアシミュレータについて述べた。特にマルチポートページメモリにつき、その実現に際して考慮した点について述べた。本ハードウェアシミュレータは61年度中にデバッグを行ない、引き続きソフトウェアを作成して実験/評価を行なう予定である。

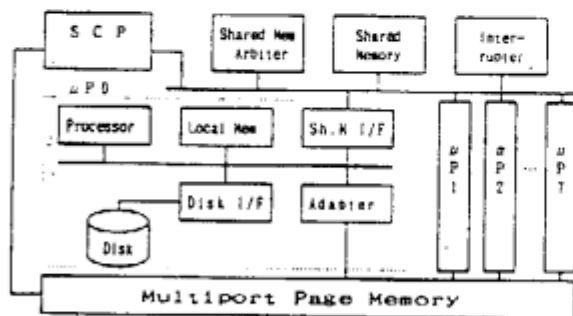


図1 ハードウェアシミュレータの構成

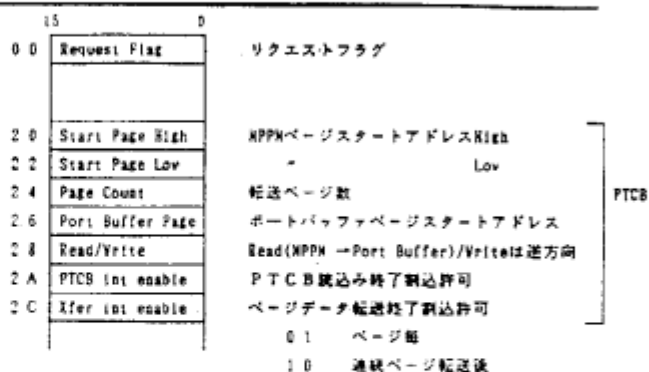


図2 PTCBフォーマット

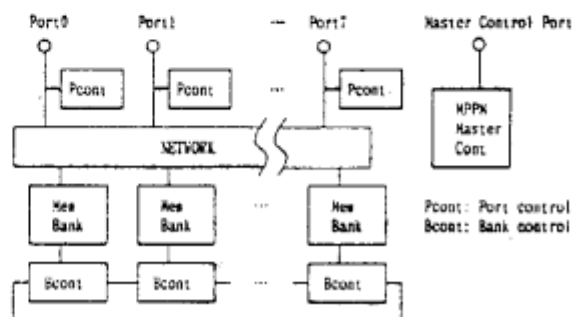


図3 マルチポートページメモリハードウェア構成

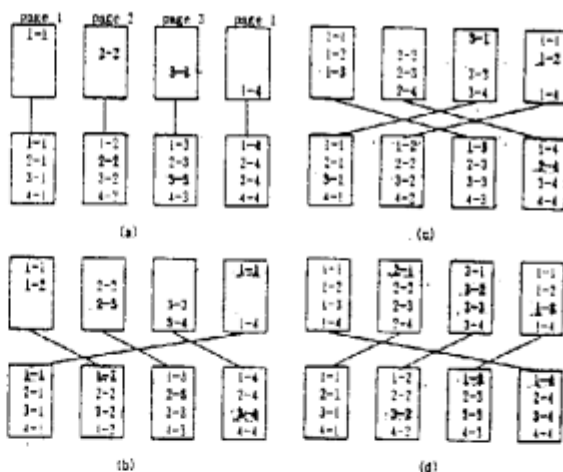


図4 MPPM動作例

【参考文献】

- [柴山 86] 柴山、他、"大規模知識ベースマシンの開発(2)〜ハードウェアシミュレータ〜 情報処理学会第33回全国大会予稿集 3B-2, 1988年
- [Yokota 86] Yokota, H., Itoh, H., "A Model and an Architecture for a Relational Knowledge Base"; Proc. 18th Int'l Sympo. Computer Architecture, Tokyo, June, 1986.
- [Tanaka 84] Tanaka, Y., "A Multiport Page-Memory Architecture and A Multiport Disk-Cache System", New Generation Computing, 2, Ohsha-Springer Verlag, 1984.