

パーソナル逐次型推論マシンの —— そのハードウェア ——

西川 宏 森 和男 山本 明 横田 実 内田 俊一

((財) 新世代コンピュータ技術開発機構)

1. はじめに

第5世代コンピュータシステム研究開発プロジェクトのソフトウェア開発用ワークステーションとして使用されるパーソナル逐次型推論マシン(PSI:φ)は、脱言語K10を効率よく実行する機構と種々のOSサポート用のプリミティブを持つ高級言語マシンである。本報告ではφハードウェアの主な特徴について述べる。

2. φのマシン構成

φは大きくプロセッシングモジュール、シーケンス制御モジュール、メモリモジュール、I/Oバスインターフェースモジュール及びコンソールプロセッサから構成される(図1)。I/Oバスは標準バス仕様であり、豊富な入出力機器が接続可能である。

φはサイクルタイム200nsecのマイクロプログラム方式の計算機であり、主記憶を除けば、SSI、HSIを使用して、約2000個のICから構成される。

種々のハードウェア機構とマイクロコードで記述された脱言語マイクロインタプリタ[1]によりシステム全体のパフォーマンスはDEC-2060上のコンパイラ版Prologとほぼ同等の性能が達成できる見込みである。

3. プロセッシングモジュール

3.1 データバス

φは内部データバスとして40ビット幅のバス構造を持ち、2本のソースバスと1本のデスティネーションバスがある。演算の対象となるレジスタの内容は、この2本のソースバスを経由し、ALUで演算が施され、デスティネーションバスを経由して目的レジスタに値が格納される。

40ビット幅のバスの上位8ビットはデータの属性を表わすタグ用であり、下位32ビットはデータ用である。タグもバスの一部としたのは、データ同志の比較やデータの転送が主な操作であるユニフィケーションに於いては、これらの演算中にデータの属性を同時に判定したい場合、あるいは特定のタグをデータに付加したい場合が多いためである。

3.2 レジスタ構成

φには各種レジスタが実装されているが、特に効率よいユニフィケーション処理を可能とするために、1k語×40ビットのワークファイル(WF)が実装されている。特に、WFの先頭16語は2ポート構成を取り、GRと呼んでいる。WFに対

する豊富なアドレッシング機構(直接指定:3種、間接指定:4種)を利用して、TRO(Tail recursion optimisation)

[2]がマイクロインタプリタにより実現される。また各種実行環境もWFに格納してメモリに対するアクセス回数の軽減を図り高速処理をめざしている。

メモリ(キャッシュメモリ)とのインタフェース用に2組のアドレスレジスタ(32ビット幅)とデータレジスタ(40ビット幅)がある。2つのアドレスレジスタを設けたのは、Caller側及びCallee側のアドレスを同時に独立に保持したいためである。データレジスタはメモリへのデータの書き込みあるいは読み出しのために使用されるほか、特にガーベッジコレクション用のタグ2ビットを除いた下位6ビットのデータタグによる多方向分岐の機能を有する。

脱言語K10の組込み述語の処理用に命令レジスタ(32ビット幅)が実装されている。このレジスタの上位8ビットには命令コードが格納されており、マイクロ命令により命令コードに従ったディスパッチが可能である。さらに各バイト毎の上位3ビット(組込み述語の引数のタグが格納される)による多方向分岐の機能も有する。

4. シーケンス制御モジュール

4.1 マイクロ命令

φのマイクロ命令は64ビットから構成され、3つのタイプが存在する。全てのタイプに共通のフィールドも多く、主たる相違はマイクロ命令の実行順序に関するものである。

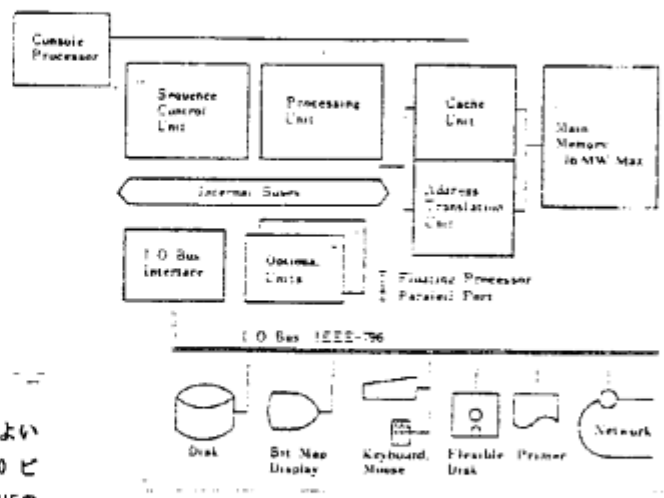


図1 φのマシン構成

共通フィールドにはレジスタ選択フィールド、ALU フィールド、キャッシュコントロールフィールド等がある。

タイプ 1では相対アドレスによる分岐やサブルーチンコールが可能である。分岐範囲は -256~ 255語内である。分岐条件は64種と豊富であり、さらにタグによる多方向分岐や命令コードによるディスパッチもできる。

タイプ 2は絶対アドレスによる分岐のみができ、どのマイクロ番地へも分岐が可能である。

タイプ 3はシーケンシャル実行と間接レジスタの内容による分岐ができる。I/O 制御に関するマイクロオーダーとタグのつけかえはこのタイプで指定できる。

4.2 シーケンサ

φのWCS の容量は16K 語(1語=64 ビット)である。WCS は 1サイクルの前半、後半に時分割でそれぞれアクセスできる。前半ではWCS がスクラッチパッドメモリとして使用され、後半は次マイクロ命令の読み出しに利用される。特に前者の利用法として、WCS の後部1K語中に64個までのK10のプログラム実行環境を保持することにより、プロセススイッチ時のコンテキスト切り換えのオーバーヘッドの軽減を図っている。

次マイクロアドレスの生成法には、マイクロ命令の項で述べた種々のものが存在する。特に分岐先アドレスがデータレジスタに格納されたデータタグや命令レジスタ中の命令コードの値から生成されるモードでは、柔軟性を考慮して直接タグの値あるいは命令コードの値を分岐先アドレスの生成に使用せずに、ディスパッチメモリ(1K エントリ×14 ビット)を介して分岐アドレスを生成する方式とした。

5. メモリモジュール

5.1 アドレス変換ユニット

φのアドレス変換は、エリア毎のページテーブルベースを保持するエリアテーブルとその各エリアに対するページテーブルをそれぞれ参照することで、論理アドレスから物理アドレスへの変換がなされる方式である[3]。仮想記憶機構を持たないφでは、アドレス変換を高速にするために、エリアテーブルを格納するページマップベースメモリ(256 エントリ×15 ビット)と各エリアに対するページテーブルの全体を保持するページマップメモリ(32Kエントリ×15 ビット)を特別に用意して、1 マシンサイクルで常にアドレス変換がおこなえる構成とした。

5.2 キャッシュメモリ

キャッシュのディレクトリ管理は論理アドレスでなされている。従ってキャッシュ内データに対するアクセスにはアドレス変換を必要とせず高速アクセスができる。さらにもしキャッシュメモリのミスヒットが発生した場合でもアドレス変換がそれと同時に実行されているので、ただちに物理アドレスが得られる。

キャッシュはセットアソシアティブ方式であり、それぞ

れ4K語の容量を持つ 2面のデータメモリからなる。データの管理単位は 4語から成るブロックであり、主記憶とのデータのやりとりはこのブロック単位でなされる。

データ管理方式はメモリがスタック的に使用されることを考慮してライトバック方式を採用した。

I/O バスインターフェースモジュールは直接主記憶とのデータ転送を行わないので、入出力機器によるデータの更新のために生じる主記憶とキャッシュメモリの内容の不一致がなくキャッシュコントロールは簡単になる。

5.3 主記憶

主記憶の管理単位はページであり、1ページは1K語から成る。φはページ単位で主記憶の割当てや解放を行なう。主記憶の増設は1K語単位であり、最大実装容量は16M 語である。主記憶のアクセスタイムは500nsec であるが、ニアモードによる 4語直列転送を利用して、ブロックの残り 3 語は200nsec 毎に順次読み出し、書き込みが行なわれ、平均主記憶アクセス時間の短縮を図っている。

6. I/O バスインターフェースモジュール

φでは主記憶空間とI/O 制御用の空間が独立に存在する。各種入出力機器、例えばビットマップメモリ、マウス、キーボード、ディスク等はこのI/O 空間中に実装される。I/O 空間の大きさは16M バイトであり、マイクロオーダーで直接扱えるデータ転送単位は 1バイトあるいは 2バイトであり、直接φがデータを転送制御する方式とした。I/O バスはIEEE-796バス仕様であり、種々の入出力機器が容易に接続できる。さらにディスク等の直接ブロック転送を行なう機器の作業用として、512Kバイトのメモリを用意している。

7. おわりに

本報告ではφのハードウェアについてその特徴を述べた。現在、ハードウェアについては詳細レベルの設計が完了し試作が進められている段階である。実機完成後はこの上にマイクロインタプリタさらにはOS[4] 等がインプリメントされ、φシステムが完成する。今後は、この実機上で種々の実験、評価用データを取集してφのアーキテクチャの見直しを図っていききたい。最後に、日頃有益な助言をいただくICOTメンバー諸氏に感謝する。

一参考文献一

- [1] 山本他、「パーソナル逐次型推論マシンφ —そのマイクロインタプリタ—」情報大会第27回全国大会 5E-2 (10月 1983)
- [2] Warren, D.H.D: An improved Prolog Implementation which Optimises Tail Recursion. Proc. of the Logic programming workshop, Hungary(July 1980)
- [3] 露他、「パーソナル逐次型推論マシンφ —そのアーキテクチャ—」情報大会第26回全国大会 4H-2 (3月 1983)
- [4] Hattori, I etc.: Basic Construct of SIM Operating System, New Generation Computing, Vol.1, No.1, 1983